

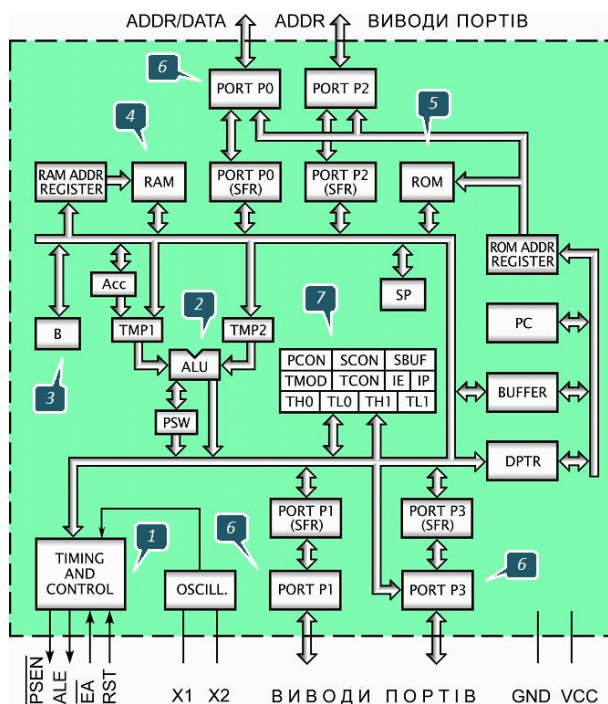
МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
МІСЬКОГО ГОСПОДАРСТВА імені О. М. БЕКЕТОВА

М. Ф. СМІРНИЙ

МІКРОСХЕМОТЕХНІКА

КОНСПЕКТ ЛЕКЦІЙ

(для студентів усіх форм навчання за спеціальністю
141 – Електроенергетика, електротехніка та електромеханіка)



Харків
ХНУМГ ім. О. М. Бекетова
2019

Смирний М. Ф. Мікросхемотехніка : конспект лекцій для студентів усіх форм навчання за спеціальністю 141 – Електроенергетика, електротехніка та електромеханіка / М. Ф. Смирний ; Харків. нац. ун-т міськ. госп-ва ім. О. М. Бекетова. – Харків : ХНУМГ ім. О. М. Бекетова, 2019. – 113 с.

Автор

д-р техн. наук, проф. М. Ф. Смирний

Рецензент

Є. М. Шапран, доктор технічних наук, професор (Національний технічний університет «Харківський політехнічний інститут»)

Рекомендовано кафедрою електричного транспорту, протокол № 1 від 29.08.2019.

Конспект лекцій складено з метою допомогти студентам спеціальності 141 – Електроенергетика, електротехніка та електромеханіка під час самостійної роботи і підготовки до навчальних занять та семестрового контролю.

© М. Ф. Смирний, 2019

© ХНУМГ ім. О. М. Бекетова, 2019

ЗМІСТ

ВСТУП.....	6
ЛЕКЦІЯ 1 НАПІВПРОВІДНИКОВІ ПРИЛАДИ.....	7
1.1 Бездомішкові (чисті) та домішкові напівпровідники.....	7
1.2 Електричні процеси у p - n -переході.....	9
1.3 Біполярний транзистор p - n - p -типу	11
1.4 Польовий транзистор з p - n -переходами та каналом n -типу	14
1.5 МДН-транзистор зі вбудованим каналом n -типу.....	16
1.6 МДН-транзистор з індукованим каналом n -типу.....	17
1.7 IGBT-транзистор.....	18
ЛЕКЦІЯ 2 НАПІВПРОВІДНИКОВІ ПРИЛАДИ З ДВОМА СТІЙКИМИ СТАНАМИ.....	19
2.1 Тиристор.....	19
2.2 Динистори, фототиристоры, симистори (симетричні тиристоры)...	22
2.3 Схеми на тиристорах, симисторі та динисторі.....	24
2.4 Одноперехідні транзистори (двобазові діоди).....	27
ЛЕКЦІЯ 3 ПІДСИЛЮВАЛЬНІ КАСКАДИ.....	30
3.1 Принцип побудови підсилювальних каскадів.....	30
3.2 Підсилювальний каскад зі спільним емітером.....	30
3.3 Підсилювальний каскад зі спільним витоком.....	36
3.4 Підсилювальний каскад зі спільним колектором (емітерний повторювач).....	38
ЛЕКЦІЯ 4 АНАЛОГОВА ТА ІМПУЛЬСНА МІКРОСХЕМОТЕХНІКА НА ОПЕРАЦІЙНИХ ПІДСИЛЮВАЧАХ	40
4.1 Диференційний (паралельно-балансний) підсилювальний каскад .	40
4.2 Операційні підсилювачі.....	41
4.3 Інвертуючий підсилювач.....	42
4.4 Неінвертуючий підсилювач	43
4.5 Інвертуючий суматор.....	44
4.6 Інтегратор.....	45

4.7 Компаратор.....	46
4.8 Тригер Шмітта.....	47
4.9 Мультивібратори.....	47
ЛЕКЦІЯ 5 ОСНОВИ АЛГЕБРИ ЛОГІКИ. КОМБІНАЦІЙНІ ЛОГІЧНІ	
СХЕМИ. СИНТЕЗ ЛОГІЧНИХ СХЕМ.....	
5.1 Системи числення	51
5.2 Базові логічні операції та логічні елементи АБО, І, НЕ.....	52
5.3 Аксиоми та закони алгебри логіки	53
5.4 Додаткові логічні операції та логічні функції.....	54
5.5 Дешифратори.....	56
5.6 Мультиплектори.....	58
5.7 Двійкові суматори.....	60
5.8 Синтез комбінаційних логічних схем на логічних елементах.....	61
5.9 Синтез комбінаційних логічних схем на базі мультиплексорів.....	65
ЛЕКЦІЯ 6 ТРИГЕРИ. ДВІЙКОВІ ЛІЧИЛЬНИКИ. ПЕРЕТВОРЮВАЧІ	
СИГНАЛІВ. РЕГІСТРИ. ЗАПАМ'ЯТОВУЮЧІ ПРИСТРОЇ.....	
6.1 Тригери.....	66
6.2 Двійкові лічильники	70
6.3 Цифро-аналогові перетворювачі.....	72
6.4 Аналого-цифрові перетворювачі.....	74
6.5 Регістри.....	75
6.6 Запам'ятовуючі пристрої.....	76
6.6.1 Оперативні запам'ятовуючі пристрої.....	76
6.6.2 Постійні запам'ятовуючі пристрої.....	78
ЛЕКЦІЯ 7 МІКРОПРОЦЕСОРНІ ПРИСТРОЇ.....	
7.1 Мікропроцесори.....	80
7.2 Мікропроцесорні системи.....	86
7.3 Програмований паралельний інтерфейс.....	88
7.4 Елементи та пристрої введення та виведення сигналів у мікропроцесорній системі.....	90

7.5 Розробка мікропроцесорної системи керування.....	91
ЛЕКЦІЯ 8 МІКРОКОНТРОЛЕРНІ ПРИСТРОЇ.....	96
8.1 Мікроконтролери	96
8.1.1 Типова архітектура мікроконтролера.....	97
8.1.2 PIC-мікроконтролери.....	97
8.1.3 AVR-мікроконтролери.....	99
8.1.4 STM-мікроконтролери	102
8.2 Підключення зовнішніх пристроїв до мікроконтролера.....	103
8.2.1 Підключення кнопки та світлодіода до мікроконтролера ATmega32.....	104
8.2.2 Підключення семисегментного індикатора до мікроконтролера.....	105
8.2.3 Широтно-імпульсна модуляція.....	106
8.3 Програмовані логічні контролери.....	109
СПИСОК РЕКОМЕНДОВАНИХ ДЖЕРЕЛ.....	111

ВСТУП

Метою викладання навчальної дисципліни «Мікросхемотехніка» є надання студентам знань з основ мікроелектроніки, мікропроцесорних та мікроконтролерних пристроїв та надбання студентами практичних навичок з побудови електронних пристроїв систем керування в галузі електричної інженерії.

Основними завданнями вивчення дисципліни «Мікросхемотехніка» є:

- теоретична та практична підготовка майбутніх фахівців щодо знання принципу дії елементної бази мікроелектроніки, мікропроцесорних та мікроконтролерних пристроїв керування електромеханічними системами;
- засвоєння студентами методів розробки мікросхемотехнічних пристроїв систем, вузлів та агрегатів електротехнічного та електромеханічного устаткування.

У результаті вивчення навчальної дисципліни «Мікросхемотехніка» студенти мають знати:

- принцип дії напівпровідникових приладів;
- роботу елементів аналогової та цифрової мікросхемотехніки;
- архітектуру та основи програмування мікропроцесорів та сучасних мікроконтролерів;

уміти:

- вибирати найбільш прийнятну елементну базу для розроблюваних пристроїв керування;
- застосовувати принципи програмного керування агрегатами і вузлами електромеханічних систем;

мати компетентності щодо:

- здатності застосовувати знання з мікросхемотехніки у практичній роботі;
- здатності визначати структуру створюваних електронних пристроїв та розробляти програмне забезпечення їхнього функціонування.

ЛЕКЦІЯ 1

НАПІВПРОВІДНИКОВІ ПРИЛАДИ

1.1 Бездомішкові (чисті) та домішкові напівпровідники

Напівпровідники щодо електропровідності посідають проміжне положення між металами та діелектриками. Це видно з їхньої енергетичної діаграми W_e , яка в загальному вигляді має три характерні зони: нижню валентну зону (заповнену), верхню зону провідності (вільну) та середню заборонену зону.

У *металах* заборонена зона відсутня, тому електрони валентної зони легко можуть переходити у зону вільних рівнів, що забезпечує їхню високу провідність.

У *напівпровідниках* є заборонена зона $\Delta W_z < 3eV$. Ця величина визначає енергію, яку треба надати електрону, щоб перевести його з валентної зони у зону провідності. Тому електропровідність напівпровідників значно менша, ніж у металах. У напівпровідників IV групи Періодичної системи елементів германію $\Delta W_z = 0,72eV$, кремнію $\Delta W_z = 1,12eV$.

У *діелектриках* заборонена зона широка і становить $\Delta W_z > 3..8eV$, тому їхня провідність дуже мала.

Кристалічна решітка германію має тетраедричну структуру, площинна модель якої має такий вигляд. Чотири електрони зовнішньої електронної оболонки кожного атома бездомішкового германію (*i*-напівпровідник) (рис. 1.1) беруть участь у ковалентних зв'язках з суміжними атомами. При зовнішньому впливі електрон звільняється від зв'язків з атомом і переходить із валентної зони в зону провідності. На його місці з'являється дірка. Створюється концентрація електронів n_i у зоні провідності та рівна концентрація дірок p_i у валентній зоні.

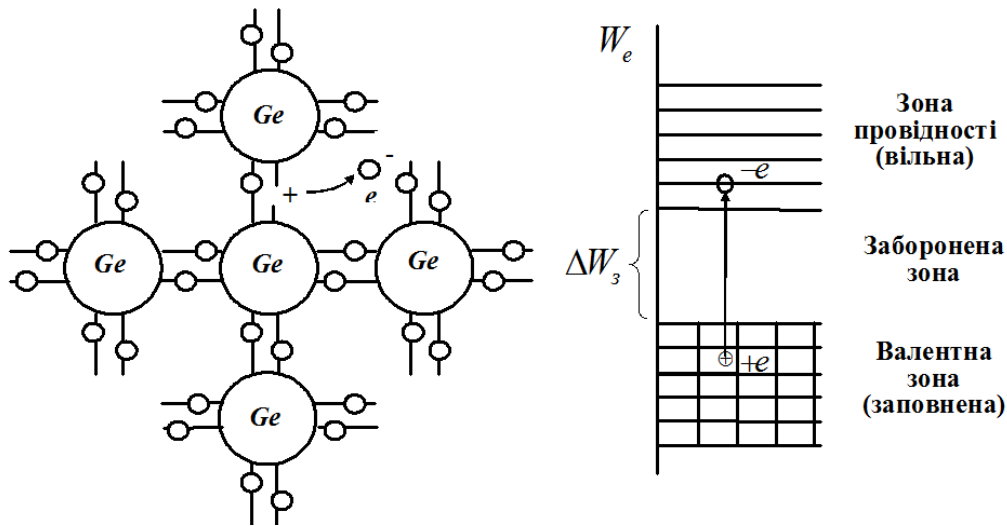


Рисунок 1.1 – Кристалічна решітка бездомішкового германію

У домішковому напівпровіднику *n*-типу (донорний домішок *V* групи – сурма, фосфор) (рис. 1.2) через те, що ширина $\Delta W_d = 0,01 \dots 0,07 eV$ дуже мала, «зайвий» електрон легко стає вільним, а атом домішку – нерухомим позитивним іоном. Одночасно генеруються малочисельні пари електрон-дірка. Концентрація електронів n_n як основних носіїв заряду значно вища, ніж концентрація дірок p_n як неосновних носіїв.

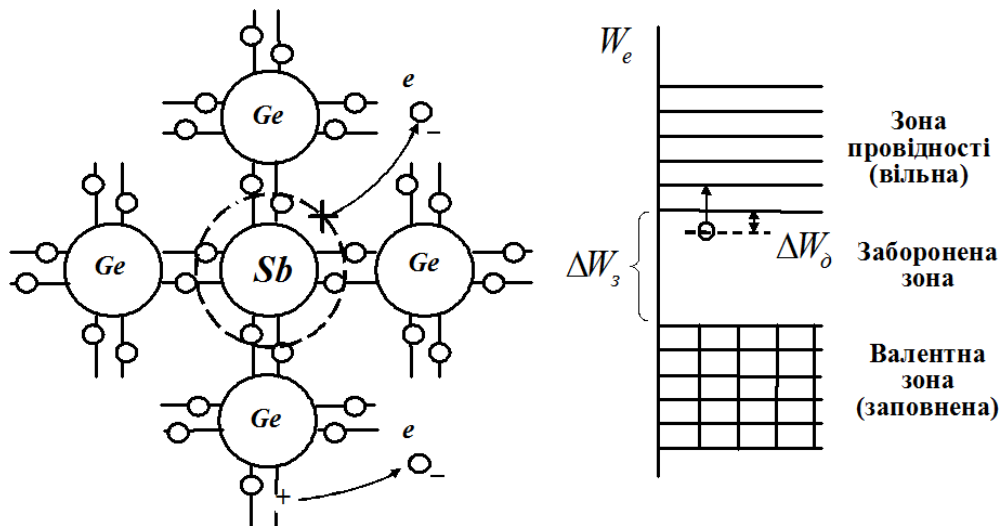


Рисунок 1.2 – Кристалічна решітка напівпровідника *n*-типу

У напівпровіднику *p*-типу (рис. 1.3) (акцепторний домішок *III* групи – індій, бор) через те, що ширина ΔW_a дуже мала, електрон із валентної зони легко приймається атомом домішку, на його місці виникає дірка, а атом

домішку стає нерухомим негативним іоном. Також генеруються пари електрон-дірка. Концентрація дірок p_p як основних носіїв заряду значно вища, ніж концентрація електронів n_p як неосновних носіїв.

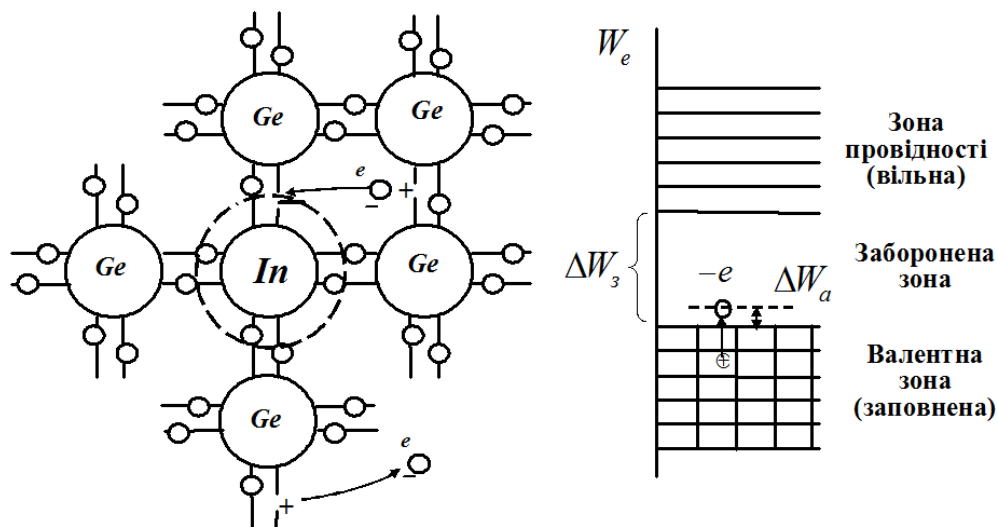


Рисунок 1.3 – Кристалічна решітка напівпровідника p -типу

1.2 Електричні процеси у p - n -переході

Двошарова структура створюється з напівпровідників p -типу та n -типу з різними концентраціями носіїв заряду (рис. 1.4).

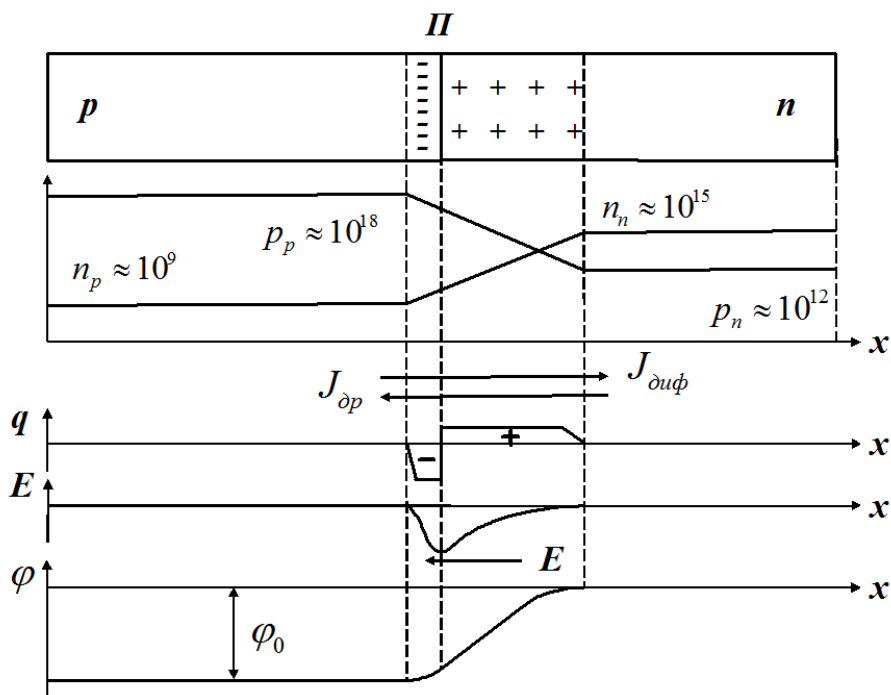


Рисунок 1.4 – Двошарова структура з напівпровідників p -типу та n -типу

У прикордонних областях під дією різних концентрацій виникає дифузійний рух основних носіїв заряду: дірки із p -шару дифундують в n -шар, електрони із n -шару – в p -шар. У прикордонних областях виникає часткова рекомбінація дірок з електронами, а також виникають об'ємні заряди q , створені некомпенсованими позитивними та негативними іонами, що є головною особливістю p - n -переходу Π . Об'ємні заряди q створюють напруженість електричного поля E та різницю потенціалів Φ . Щільність дифузійного струму $J_{\text{диф}}$, обумовлена основними носіями заряду, дорівнює щільності дрейфового струму $J_{\text{др}}$, обумовленої неосновними носіями заряду, який виникає під дією електричного поля. Ця рівність створюється величиною потенціального бар'єра Φ_0 . Для германію $\Phi_0 = 0,3 \dots 0,5 \text{ В}$, а кремнію $\Phi_0 = 0,6 \dots 0,8 \text{ В}$.

При підключенні зовнішньої напруги U_{ak} (рис. 1.5) до p - n -структури у

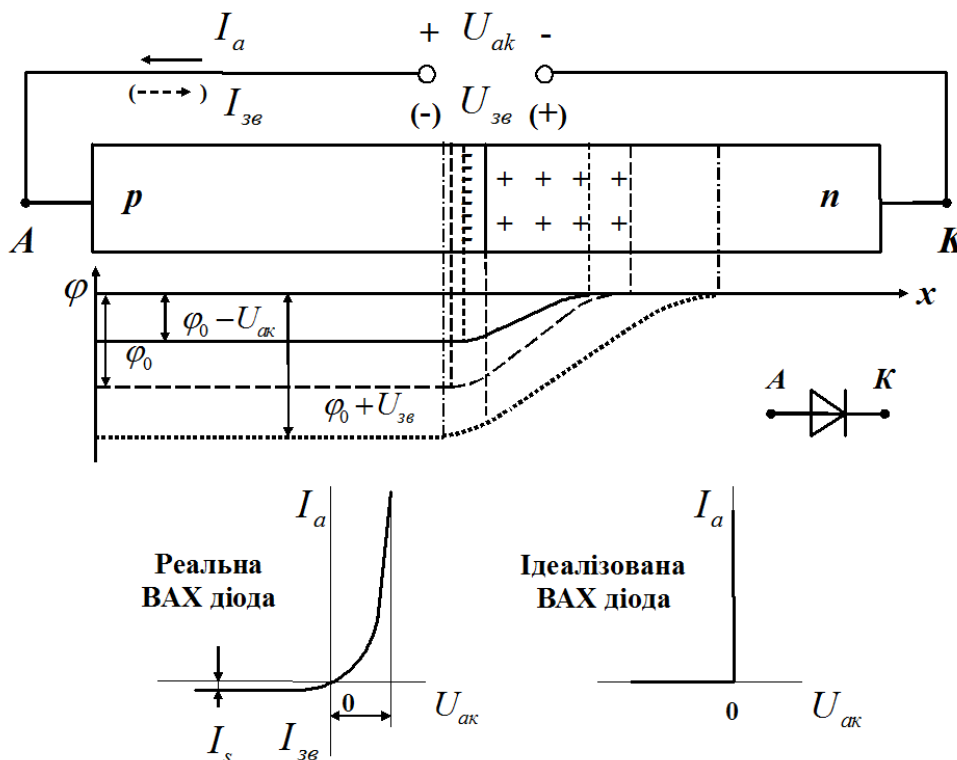


Рисунок 1.5 – Підключення зовнішньої напруги до p - n -структури

прямому напрямку: + до p -шару (анод A діоду), – до n -шару (катод K діоду) напруга на p - n -переході буде $\Phi_0 - U_{ak}$, що призведе до зменшення об'ємного

заряду та звуженню $p-n$ -переходу в основному за рахунок n -шару як більш високоомного. Це збільшить дифузійний струм. Таке явище називають *інжекцією* основних носіїв через $p-n$ -перехід. При збільшенні U_{ak} до величини $\Delta U_{ak} = 0,3 \dots 1,1V$ зростає прямий струм I_a через $p-n$ -перехід, що відображено на прямій гілці вольт-амперної характеристики (ВАХ) діоду.

При підключенні зовнішньої напруги $U_{зв}$ до $p-n$ -структури у зворотному напрямку: - до p -шару, + до n -шару напруга на $p-n$ -переході буде $\phi_0 + U_{зв}$, що призведе до збільшення об'ємного заряду та розширенню $p-n$ -переходу в основному за рахунок n -шару як більш високоомного. Це зменшить дифузійний струм. Дрейфовий струм, який називають тепловим I_s , залишається незмінним. Він дорівнює зворотному струму $I_{зв}$ через діод, що відображено на зворотній гілці ВАХ діоду. Отже, *діод проводить струм в одному напрямку*.

Типи діодів представлено на рисунку 1.6.

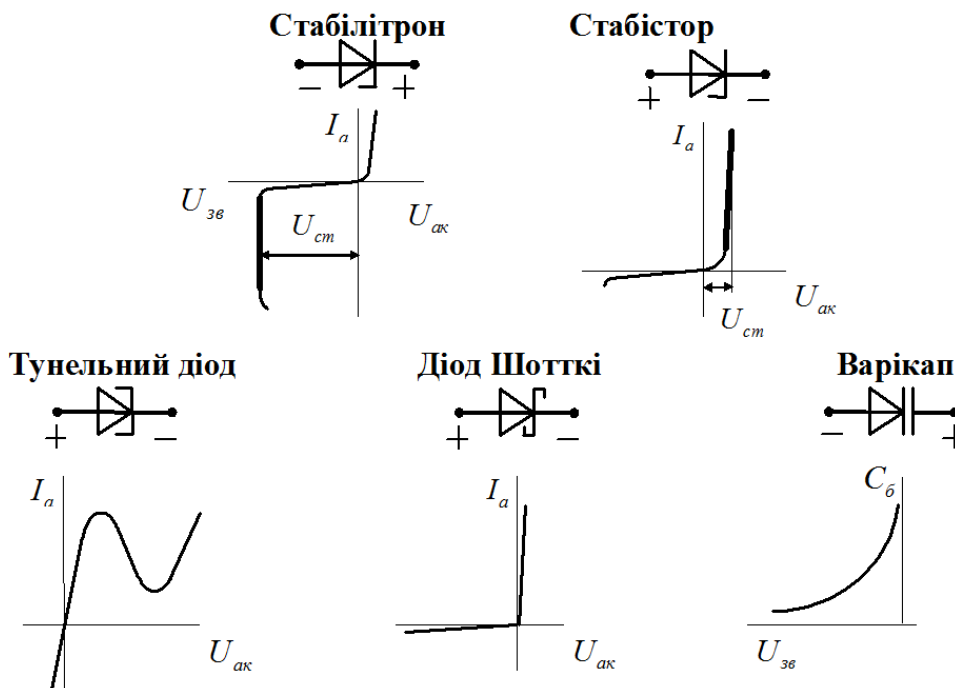


Рисунок 1.6 – Типи діодів

1.3 Біполярний транзистор $p-n-p$ -типу

Структура біполярного транзистора $p-n-p$ -типу наведена на рисунку 1.7.

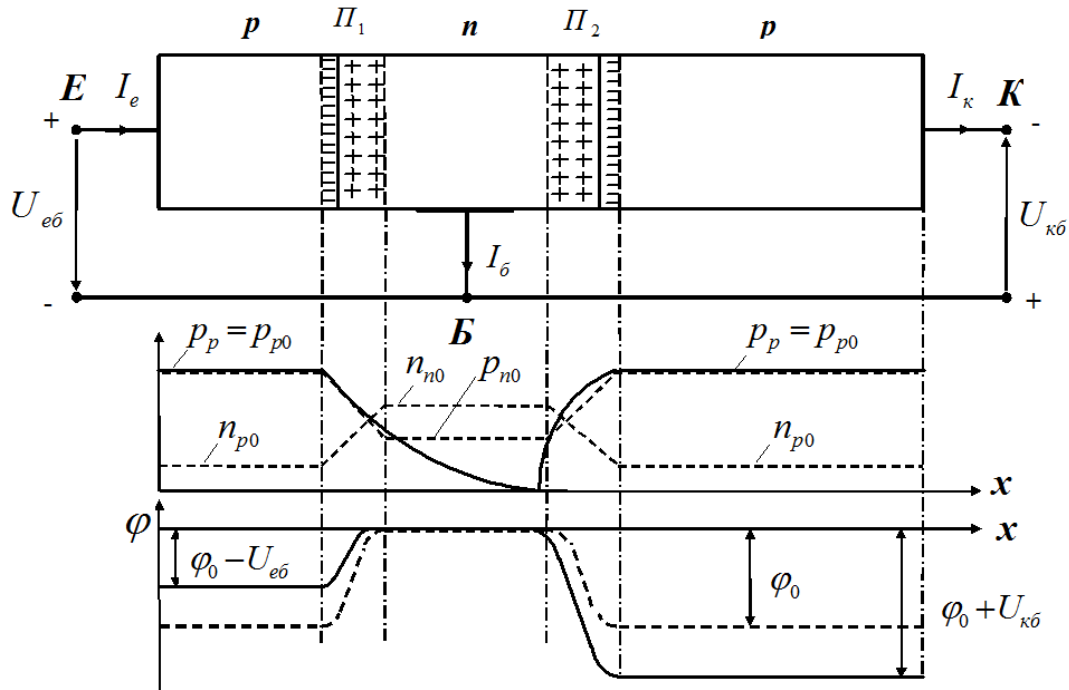


Рисунок 1.7 – Структура біполярного транзистора $p-n-p$ -типу

За відсутності зовнішніх напруг розподіл концентрацій носіїв заряду та потенціалу зображено штриховими лініями.

Зовнішні напруги підключають таким чином, щоб забезпечувалось зміщення емітерного переходу Π_1 у прямому напрямку (напруга $U_{eб}$), а колекторного переходу Π_2 – у зворотному напрямку (напруга $U_{кб}$). Напруга на емітерному переході $\varphi_0 - U_{eб}$, напруга на колекторному переході $\varphi_0 + U_{зв}$. Функція емітерного переходу – інжекція дірок у базу. Під дією концентрації дірок p_p розвивається їхній дифузійний рух у бік колектора. На межі переходу Π_2 концентрація дірок зменшується до нуля, оскільки дірки прискорюються полем переходу та перекидаються в колектор. Роль колекторного переходу – переведення дірок із бази в колектор.

Діаграма складових струмів у транзисторі $p-n-p$ -типу представлена на рисунку 1.8. Тут I_e – струм емітера; I_k – струм колектору; I_b – струм бази; I_{ep} – діркова складова струму емітера; I_{en} – електронна складова струму емітера; I_{kp} – діркова складова струму колектору; $I_{к0}$ – зворотний струм колекторного переходу (тепловий струм); $I_{бp}$ – рекомбінаційна діркова складова бази.

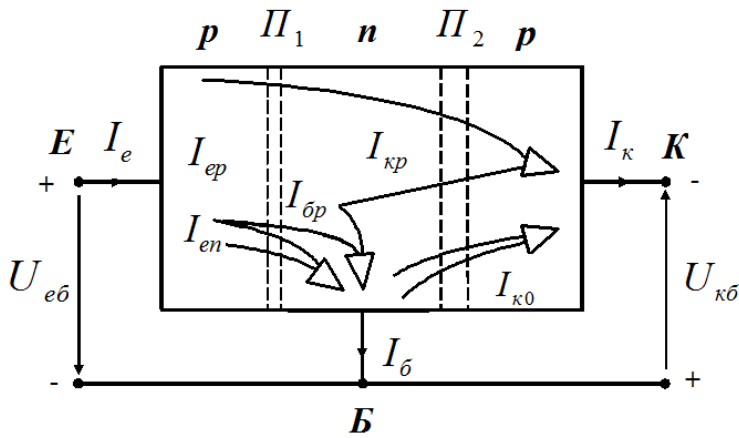


Рисунок 1.8 – Діаграма складових струмів у транзисторі *p-n-p*-типу

На підставі цієї діаграми коефіцієнт інжекції емітерного переходу дорівнює:

$$\gamma = I_{ep} / I_e \quad (0,97 \dots 0,995).$$

Коефіцієнт переносу дірок у базі становить:

$$\delta = I_{kp} / I_{ep} \quad (0,96 \dots 0,996).$$

Коефіцієнт передачі струму:

$$\alpha = I_{kp} / I_e \quad (0,92 \dots 0,992),$$

де $\alpha = \gamma\delta$.

На підставі I закону Кірхгофа $I_e = I_k + I_b$; $I_k = I_{kp} + I_{k0} = \alpha I_e + I_{k0}$; $I_b = (1 - \alpha)I_e - I_{k0}$.

Таким чином, у біполярному транзисторі вихідний струм керується вхідним струмом.

Існує три способи ввімкнення транзистора: зі спільною базою (СБ), спільним емітером (СЕ) та спільним колектором (СК) (рис. 1.9).

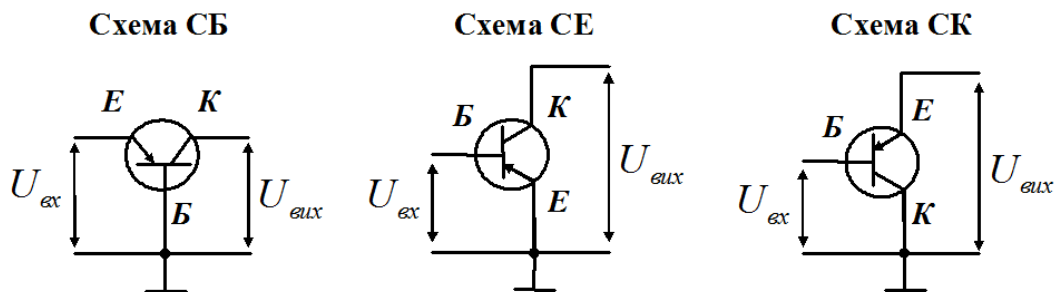


Рисунок 1.9 – Способи ввімкнення транзистора

Схема ввімкнення транзистора СЕ зображена на рисунку 1.10.

Вихідні вольт-амперні характеристики (ВАХ) схеми СЕ (рис. 1.11) відображають залежності струму колектора I_k від напруги на колекторі $U_{ке}$ при фіксованому струмі бази I_b : $I_k = f(U_{ке}) |_{I_b = const}$.

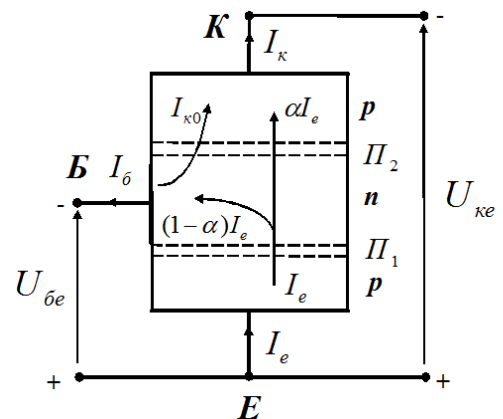


Рисунок 1.10 – Схема СЕ

Зростання струму I_{κ} при зростанні напруги $U_{\kappa e}$ характеризується диференційним опором колекторного переходу

$$r_{\kappa(e)} = \left. \frac{dU_{\kappa e}}{dI_{\kappa}} \right|_{I_{\delta} = \text{const}}$$

Аналітична форма запису вихідних характеристик схеми СЕ:

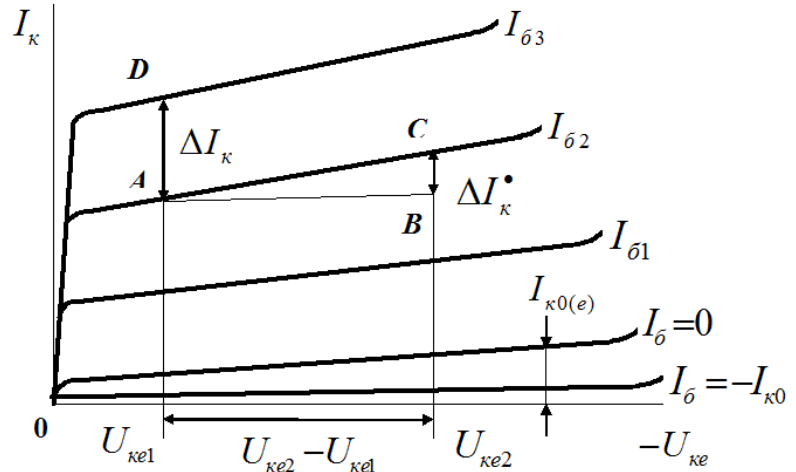


Рисунок 1.11 – Вихідні ВАХ транзистора СЕ

$I_{\kappa} = \beta I_{\delta} + U_{\kappa e} / r_{\kappa(e)} + I_{\kappa(0)}$, де $\beta = I_{\kappa} / I_{\delta} = \alpha / (1 - \alpha)$ – коефіцієнт передачі струму у схемі СЕ.

На підставі вихідних характеристик знаходять параметри схеми:

$$r_{\kappa(e)} = \frac{\Delta U_{\kappa e}}{\Delta I_{\kappa}^*} = \frac{AB}{BC} \text{ – диференційний опір колекторного переходу;}$$

$$\beta = \frac{\Delta I_{\kappa}}{I_{\delta 3} - I_{\delta 2}} = \frac{AD}{I_{\delta 3} - I_{\delta 2}} \text{ – коефіцієнт передачі струму у схемі СЕ.}$$

Вхідні вольт-амперні характеристики (ВАХ) схеми СЕ (рис. 1.12)

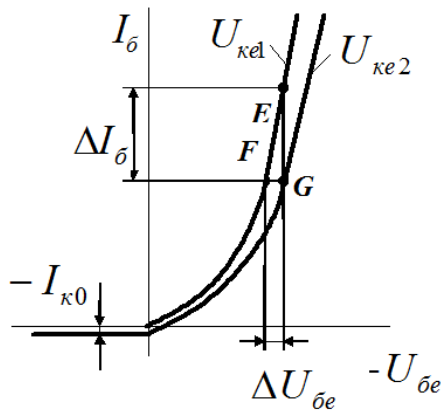


Рисунок 1.12 – Вхідні ВАХ транзистора СЕ

відображають залежності струму бази I_{δ} від напруги база-емітер $U_{\delta e}$ при фіксованій напрузі колектор-емітер $U_{\kappa e}$:

$I_{\delta} = f(U_{\delta e}) |_{U_{\kappa e} = \text{const}}$. На підставі вхідних характеристик знаходять такий важливий параметр як *вхідний опір транзистора*

$$\text{змінному струму } r_{ex} = \frac{\Delta U_{\delta e}}{\Delta I_{\delta}} = \frac{FG}{EG}$$

1.4 Польовий транзистор з p - n -переходами та каналом n -типу

Управління струмом у польовому транзисторі (рис.1.13) здійснюється зміною провідності каналу під дією електричного поля. Канал являє собою шар

напівпровідника n -типу, розташований між двома p - n -переходами. Електрод, від якого починають рух носії заряду, називають *витоком*, а електрод, до якого вони рухаються – *стоком*.

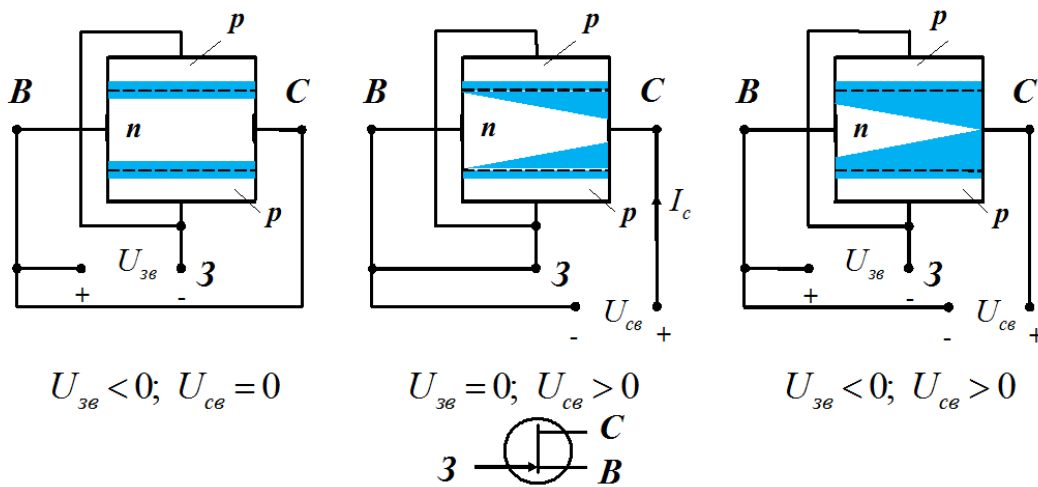


Рисунок 1.13 – Польовий транзистор з p - n -переходами та каналом n -типу

Обидва p -шари мають загальний електрод *затвор*. Керуюча напруга між затвором та витоком $U_{зв}$ є зворотною для обох p - n -переходів. Напругу між стоком та витоком $U_{св}$ вмикають позитивним полюсом до стоку. При зміні напруги $U_{зв}$ змінюється ширина p - n -переходів у бік каналу n -типу як більш високоомного, чим змінюється переріз каналу та його провідність, а отже і струм I_c через прилад.

На провідність каналу також впливає напруга $U_{св}$. При цьому потенціали точок каналу n -типу будуть неоднакові по його довжині, зростаючи у напрямку стоку від нуля до $U_{св}$. При певній величині $U_{св}$ відбувається замикання p - n -переходів, через що опір каналу стає великим. Для транзистора є межа підвищення напруги $U_{св}$ через можливий пробій ділянки каналу біля стоку.

Із електричних параметрів польові транзистори відрізняє їхній великий вхідний опір (десятки та сотні МОм).

Роботу транзистора характеризують стокові (вихідні) (рис. 1.14, *а*) та стоко-затворні (рис. 1.14, *б*) вольт-амперні характеристики. Точка *а* на стокових

характеристиках визначає момент, коли відбувається замикання $p-n$ -переходів.

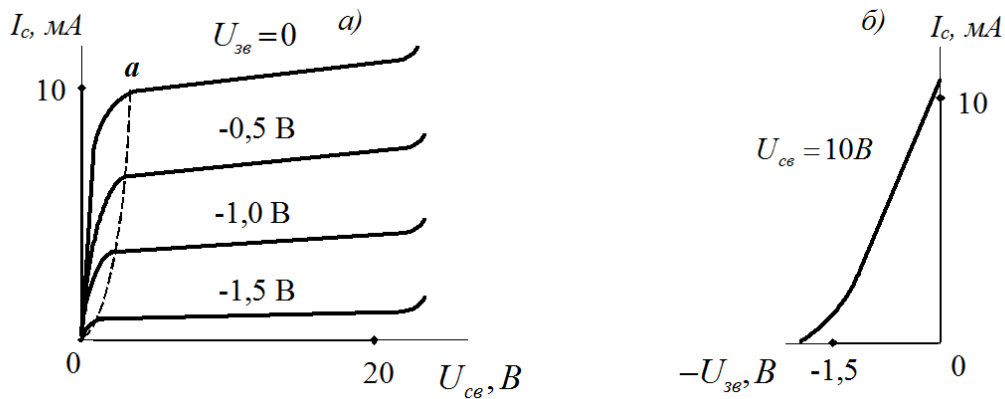


Рисунок 1.14 – Вольт-амперні характеристики польового транзистора: a – стокові (вихідні); b – стоко-затворні

1.5 МДН-транзистор зі вбудованим каналом n -типу

У МДН-транзисторах (структура метал-діелектрик-напівпровідник) (рис. 1.15) затвор ізольований від каналу шаром діелектрика (SiO_2). Принцип дії транзистора оснований на ефекті зміни провідності напівпровідника під впливом поперечного електричного поля. Підкладка Π , що пов'язана з напівпровідниковою пластиною, виконує допоміжну роль. Вхідний опір транзистора дуже великий – до 10^{14} Ом.

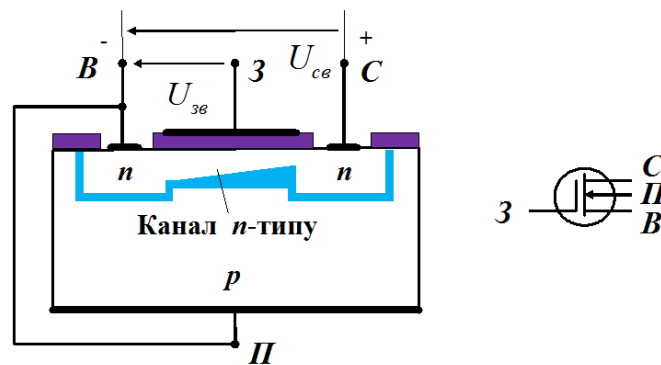


Рисунок 1.15 – МДН-транзистор зі вбудованим каналом n -типу

Стокові (вихідні) та стоко-затворні вольт-амперні характеристики МДН-транзистора представлені на рисунках 1.16, a та 1.16, b . При $U_{зг} = 0$ через прилад протікає струм згідно з вихідною провідністю. У точці a канал звужується до мінімуму.

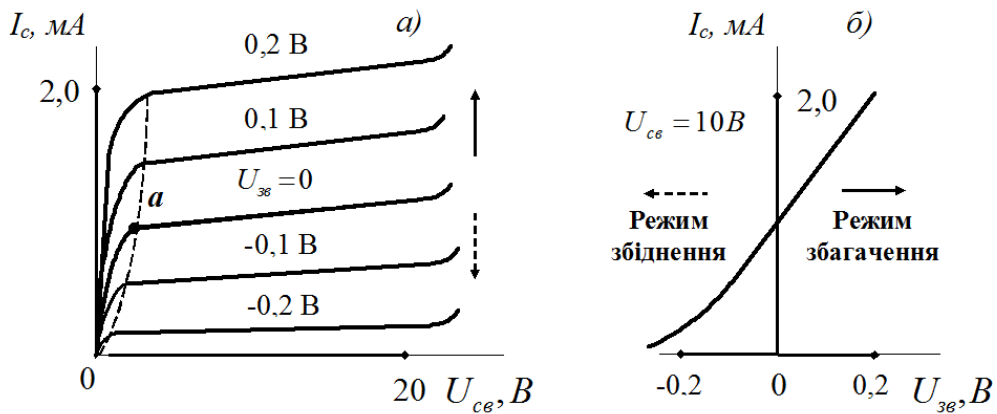


Рисунок 1.16 – Вольт-амперні характеристики МДН-транзистора:
a. – стокові (вихідні); *б.* – стоко-затворні

При $U_{зс} < 0$ електричне поле затвору виштовхує електрони з каналу – режим збіднення каналу носіями. При $U_{зс} > 0$ поле притягує електрони – режим збагачення.

1.6 МДН-транзистор з індукованим каналом *n*-типу

У МДН-транзисторі з індукованим каналом *n*-типу (рис. 1.17) канал провідності спеціально не створюється, а індукується завдяки притоку електронів із напівпровідникового шару у разі прикладення до затвору *З* напруги позитивної полярності відносно витоку *В*. За рахунок цього у приповерхневому шарі індукується струмопровідний канал *n*-типу, який з'єднує області стоку та витоку.

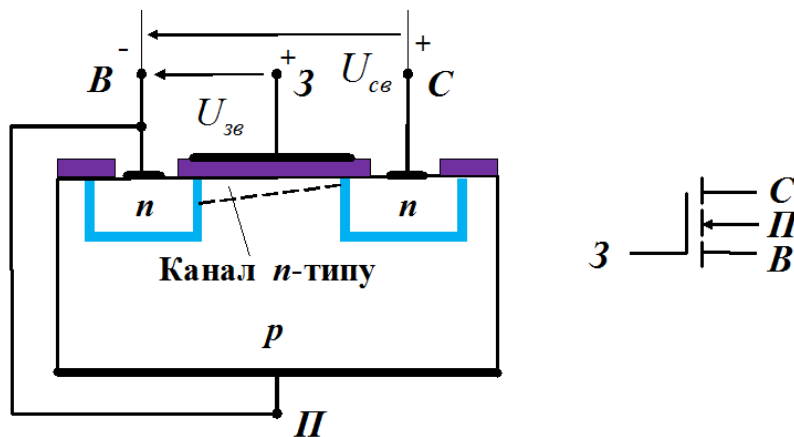


Рисунок 1.17 – МДН-транзистор з індукованим каналом *n*-типу

Цей транзистор працює лише в режимі збагачення, тобто при $U_{3e} > 0$.

Стокові (вихідні) та стоко-затворні вольт-амперні характеристики МДН-транзистора з індукованим каналом n -типу зображені на рисунках 1.17, *a* та 1.17, *б*.

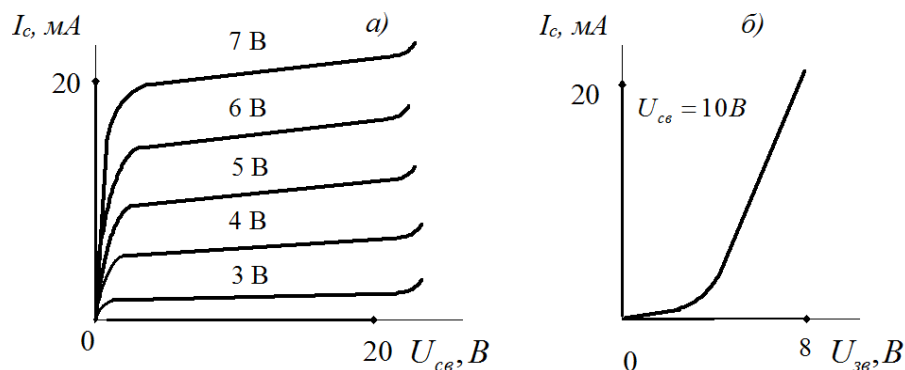


Рисунок 1.17 – Вольт-амперні характеристики МДН-транзистора з індукованим каналом n -типу: *a* – стокові (вихідні); *б* – стоко-затворні

1.7 IGBT-транзистор

Своєрідним гібридом біполярного та польового транзистора є IGBT-транзистор (*Isolated Gate Bipolar Transistor* – біполярний транзистор з ізолюваним затвором) (рис. 1.18, 1.19), що знайшов широке використання в силовій електроніці, наприклад, як потужний електронний ключ в імпульсних джерелах живлення, інверторах, системах керування електроприводами.

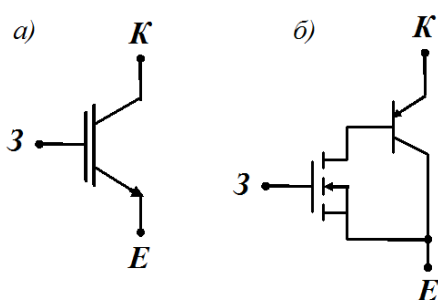


Рисунок 1.18 – IGBT-транзистор: *a* – умовне позначення: K – колектор, E – емітер, 3 – затвор; *б* – спрощена еквівалентна схема IGBT

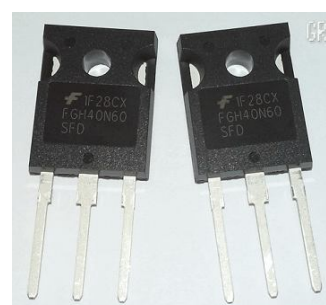


Рисунок 1.19 – Сучасні IGBT FGH40N60SFD фірми Fairchild

Існують як окремі IGBT, так і силові збірки (модулі) для керування мережами трифазного електричного струму. Діапазон використання IGBT-транзисторів – до 1 200 А по струму та до 10 кВ за напругою.

ЛЕКЦІЯ 2

НАПІВПРОВІДНИКОВІ ПРИЛАДИ З ДВОМА СТІЙКИМИ СТАНАМИ

2.1 Тиристор

Тиристор – це напівпровідниковий прилад з двома стійкими станами: стан низької провідності (тиристор закритий) і стан високої провідності (тиристор відкритий).

Тиристор являє собою чотиришарову структуру типу $p-n-p-n$ із трьома $p-n$ -переходами, в якій p_1 -шар виконує роль анода A , n_2 -шар – роль катода K , а p_2 -шар зв'язаний з керуючим електродом KE . Структура та умовне позначення одноопераційного тиристора наведені на рисунку 2.1.

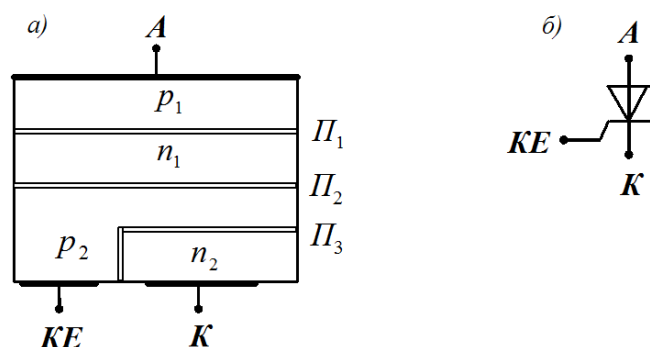


Рисунок 2.1 – Тиристор: a – структура; b – умовне позначення одноопераційного тиристора

Схема підключення тиристора та складові струми у ньому зображені на рисунку 2.2.

При підключенні тиристора до джерела E у зворотному напрямку (анод до (-), катод до (+)) середній перехід Π_2 зміщується у прямому напрямку, а крайні переходи Π_1 , Π_3 – у зворотному.

При прямому підключенні тиристора (анод до +, катод до -) крайні переходи Π_1 , Π_3 зміщуються у прямому напрямку, а середній перехід Π_2 – у зворотному.

Спочатку розглянемо роботу тиристора при відсутності струму керування ($I_{ke} = 0$) – так званий *динисторний режим*.

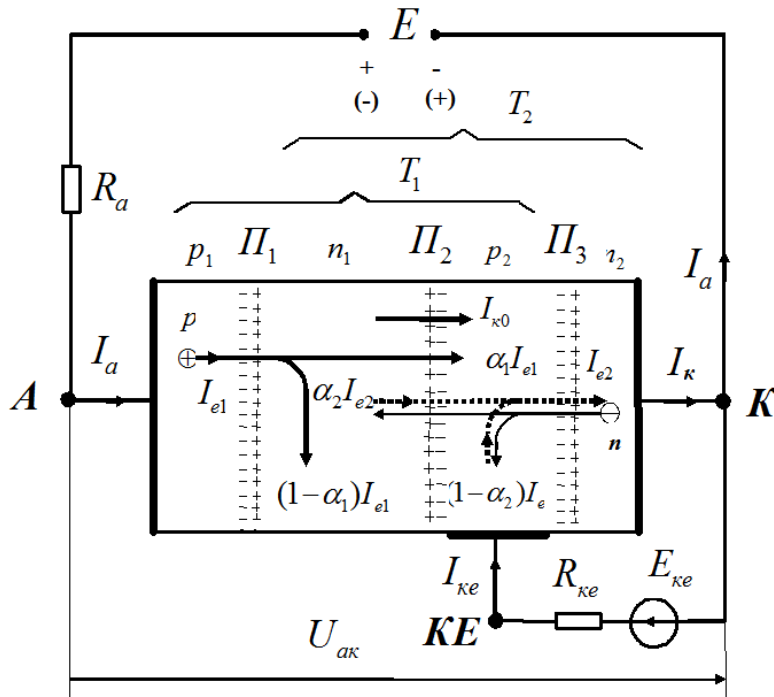


Рисунок 2.2 – Схема підключення тиристора та складові струмів у ньому

Аналіз процесів у тиристорі зручно проводити методом двотранзисторної аналогії. Його можна уявити у вигляді двох транзисторів: T_1 як транзистор $p_1-n_1-p_2$, T_2 як транзистор $n_1-p_2-n_2$. Емітерним переходом для транзистора T_1 є перехід Π_1 , для транзистора T_2 – перехід Π_3 . Перехід Π_2 слугує загальним колекторним переходом обох транзисторів.

Струми транзистора T_1 обумовлені головним чином рухом дірок p , струми транзистора T_2 – рухом електронів n . Через загальний колекторний перехід Π_2 протікає також струм неосновних носіїв (тепловий струм) $I_{к0}$.

Вольт-амперна характеристика тиристора наведена на рисунку 2.3.

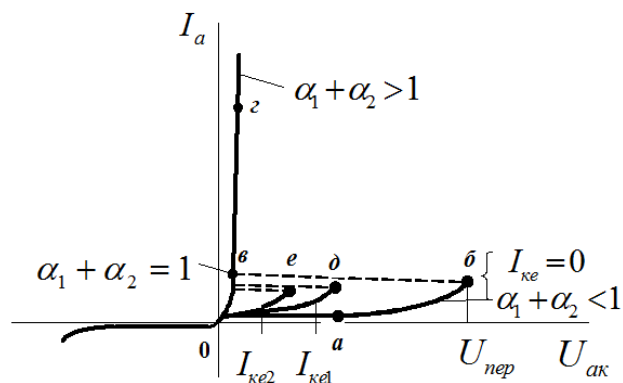


Рисунок 2.3 – Вольт-амперна характеристика тиристора

На початковій ділянці вольт-амперної характеристики 0-а через тиристор протікає лише тепловий струм $I_{к0}$. Зі зростанням напруги на тиристорі $U_{ак}$ зростає як $I_{к0}$, так і складові струмів $\alpha_1 I_{e1}$, $\alpha_2 I_{e2}$ (ділянка а-б). Загальний струм через тиристор дорівнює:

$$I_a = I_{П2} = \alpha_1 I_{e1} + \alpha_2 I_{e2} + I_{к0}, \text{ або } I_a = \frac{I_{к0}}{1 - (\alpha_1 + \alpha_2)}.$$

Точка б є граничною, в ній створюються умови для відмикання тиристора. Напруга в цій точці називається *напругою перемикавання* $U_{пер}$. Перехід із зачиненого стану у відчинений (ділянка б-в) пояснюється зменшенням напруги на переході Π_2 та тиристорі, а також дією внутрішнього позитивного зворотного зв'язку, завдяки чому процес має лавиноподібний характер.

Зменшення напруги на переході Π_2 пояснюється тим, що зростання складових струмів $\alpha_1 I_{e1}$, $\alpha_2 I_{e2}$ викликає збільшення потоків електронів у n_1 -базу та дірок в p_2 -базу, що призводить до зниження потенціального бар'єру колекторного переходу Π_2 та до зниження потенціальних бар'єрів емітерних переходів Π_1 , Π_3 , що додатково збільшує їхню інжекцію. Це, у свою чергу, призводить до лавиноподібного розвитку процесу відмикання тиристора. У точці в напруга на переході Π_2 дорівнює нулю, струм $I_{к0} = 0$, напруга на тиристорі $U_{ак}$ є незначною величиною (0,75...1,5 В), оскільки дорівнює сумі напруг на переходах Π_1 , Π_3 , зміщених у прямому напрямку.

При наявності струму керування $I_{ке}$ анодний струм I_a збільшується на величину $\alpha_2 I_{ке}$, що призводить до більш крутого зростання анодного струму та відмикання тиристора при менших напругах $U_{ак}$ (ділянки 0-д; 0-е).

При роботі тиристора разом із навантаженням R_a (рис. 2.4) проводять лінію навантаження через точки E , E/R_a . У вихідному стані (при $I_{ке} = 0$) робоча точка знаходиться в точці ж, при цьому тиристор замкнутий, а $U_{ак} \approx E$. При збільшенні струму керування до величини $I_{кен}$ робоча точка зміщується по

лінії навантаження з точки *ж* до точки *з*, тиристор відмикається і робоча точка стрибкоподібно переміщується у точку *к*.

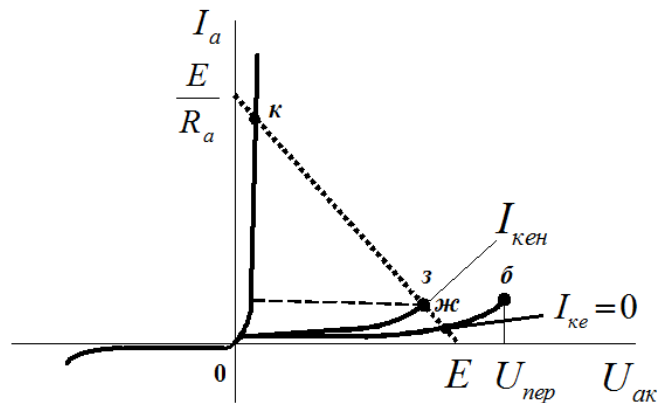


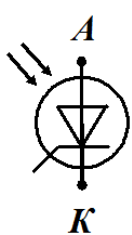
Рисунок 2.4 – Робота тиристора разом із навантаженням

Для закриття тиристора необхідно зняти анодну напругу $U_{ак}$ або подати цю напругу у зворотному напрямку.

2.2 Динистори, фототиристори, симистори (симетричні тиристори)



Динистори. У динисторі (умовна позначка дана на рисунку) керуючий електрод відсутній, а перехід із закритого стану у відкритий здійснюється при досягненні напруги між анодом та катодом величини напруги перемикавання $U_{пер}$



Фототиристори. У фототиристорі (умовна позначка дана на рисунку) перехід із закритого стану у відкритий здійснюється за рахунок освітлення приладу, в корпусі якого передбачене спеціальне вікно.

Симистор (симетричний тиристор) проводить струм в обох напрямках. Він являє собою напівпровідникову структуру з п'ятьма *p-n*-переходами. Структура та умовне позначення симистора наведені на рисунку 2.5. У напівпровідниковій структурі симистора *M* та *N* – зовнішні виводи, на які подають напругу для регулювання, *KE* – керуючий електрод.

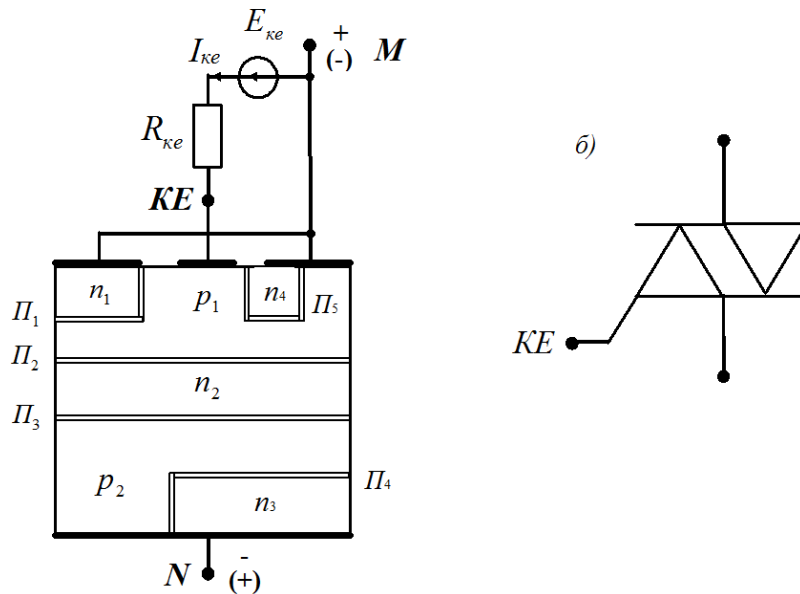


Рисунок 2.5 – Симистор: *а* – структура; *б* – умовне позначення

Вольт-амперна характеристика симистора зображена на рисунку 2.6.

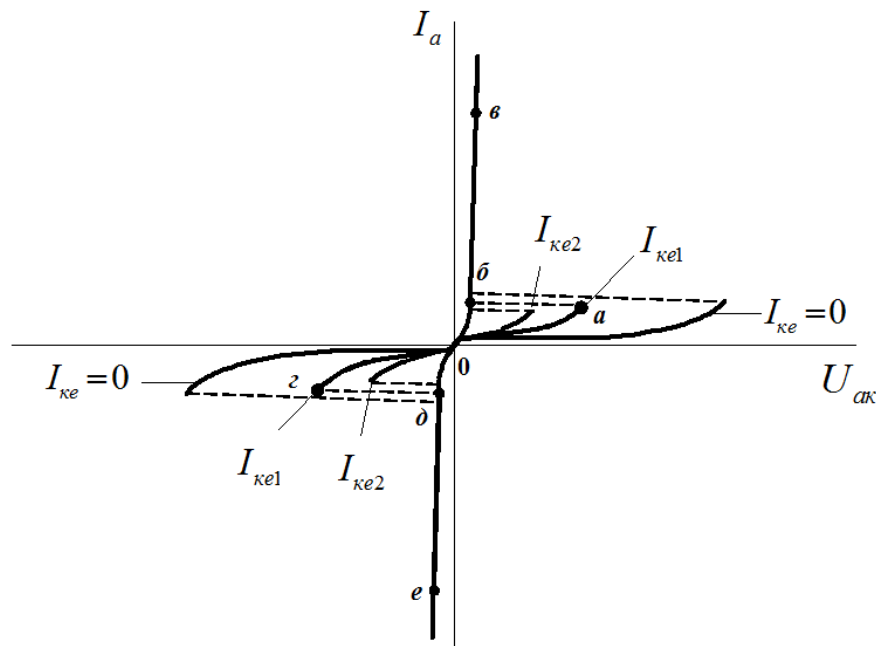


Рисунок 2.6 – Вольт-амперна характеристика симистора

При подачі на виводи *M-N* напруги позитивної полярності (+; -) та імпульсу струму керування $I_{ке1}$ здійснюється перехід симистора з ділянки закритого стану *0-а* на ділянку відкритого стану *б-в* вольт-амперної характеристики симистора (перший квадрант). У симисторі діє внутрішній позитивний зворотний зв'язок., який призводить до відкриття правої частини

симисторної структури $p_1 - n_2 - p_2 - n_3$ та стрибкоподібного зростання струму через прилад.

При подачі на виводи $M-N$ напруги негативної полярності ((-) (+)) та при подачі імпульсу струму керування $I_{ке1}$ симистор працює аналогічно, тільки його поведінка визначається лівою частиною симисторної структури $n_1 - p_1 - n_2 - p_2$. У цьому разі симистор переходить з ділянки закритого стану 0-2 на ділянку відкритого стану $\delta-e$ ВАХ симистора (третій квадрант).

Якщо струм керування відсутній, тобто $I_{ке} = 0$, симистор працює в динисторному режимі.

2.3 Схеми на тиристорах, симисторі та динисторі

Схема однофазного керованого імпульсами струму однонапівперіодного випрямляча на тиристорі та діаграми його роботи представлені на рисунку 2.7. Випрямляч зібрано на послідовно з'єднаних тиристорі V та навантаженні R_n . При подачі імпульсів струму $i_{ке}$ в керуючий електрод тиристора згідно зі зміною кута φ змінюється середнє значення випрямленої напруги на навантаженні u_n .

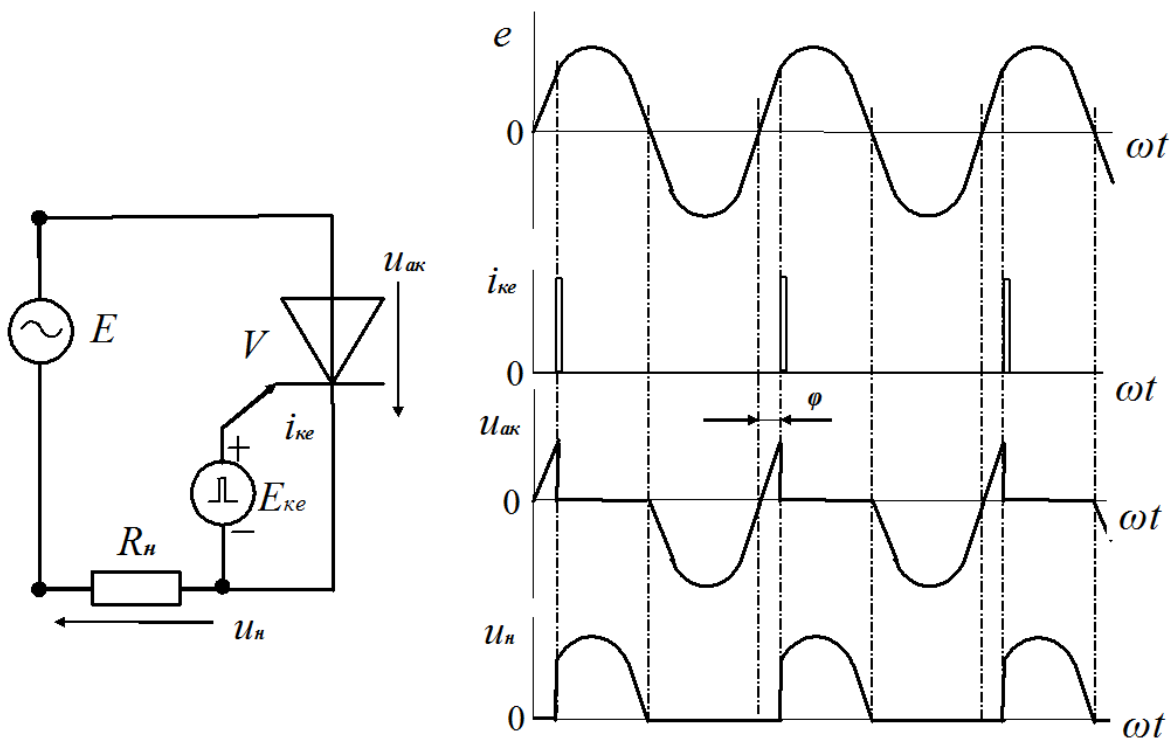


Рисунок 2.7 – Схема випрямляча на тиристорі та діаграми його роботи

Схема вмикання однофазного однонапівперіодного випрямляча на тиристорі та діаграми його роботи зображені на рисунку 2.8. Тут імпульс струму керування $i_{ке}$ виробляється на час увімкненого стану випрямляча.

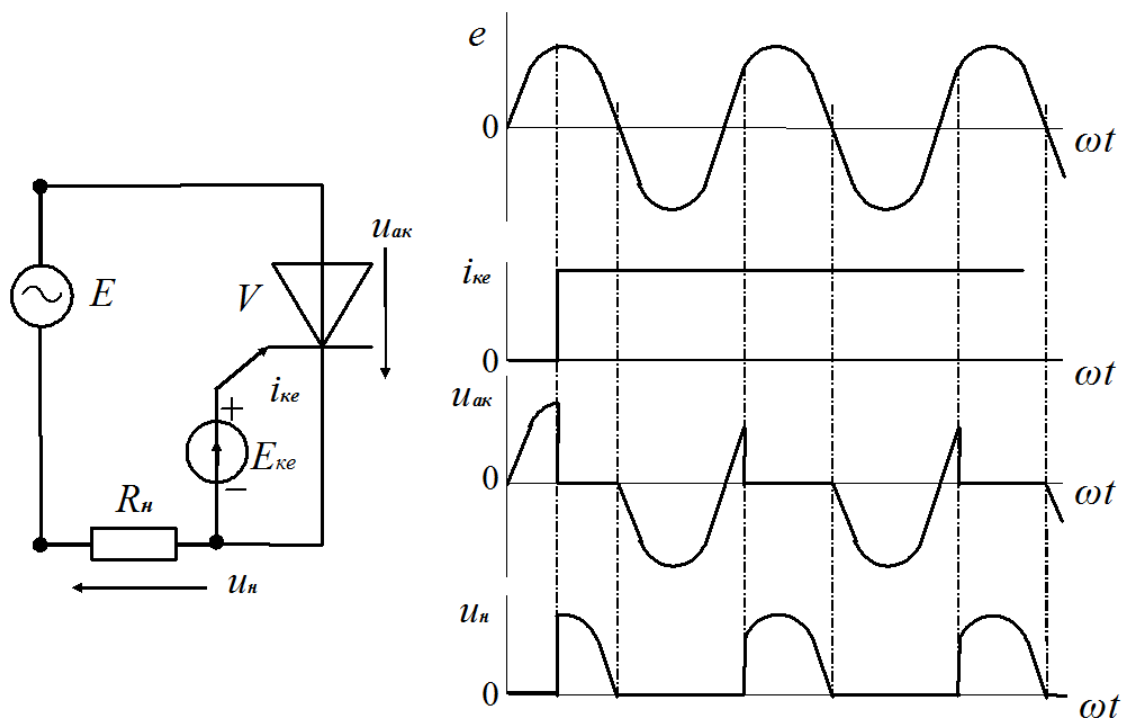


Рисунок 2.8 – Схема вмикання випрямляча на тиристорі та його діаграми

Схема перемикача на двоопераційному тиристорі та діаграми його функціонування наведені на рисунку 2.9. Тиристор вмикається та вимикається імпульсами струму керування позитивної та негативної полярності відповідно.

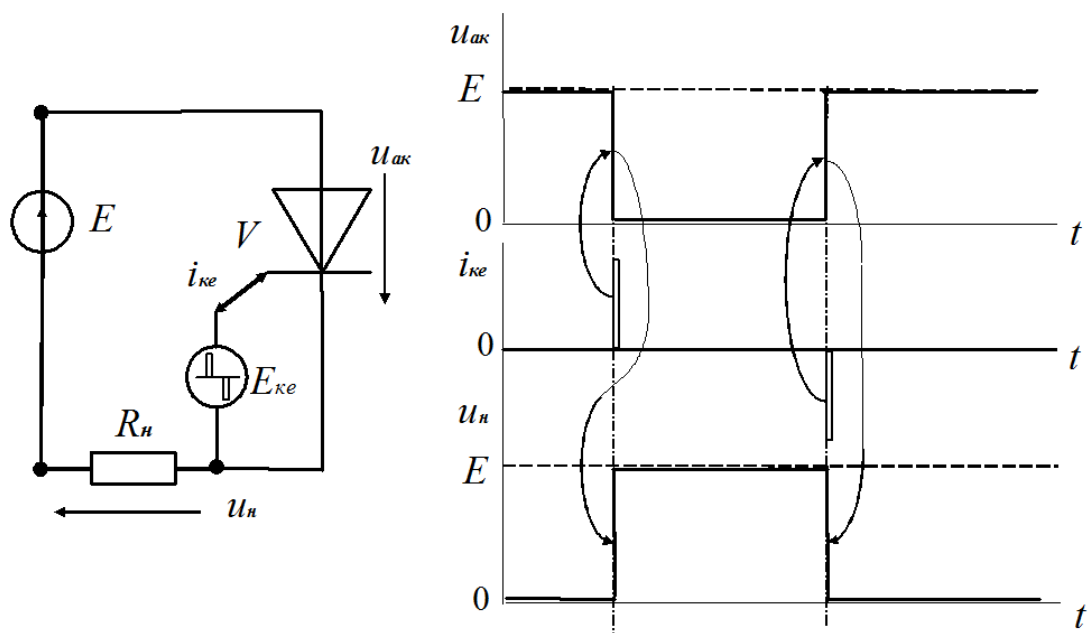


Рисунок 2.9 – Схема та діаграми перемикача на двоопераційному тиристорі

Схема однофазного веденого мережею випрямляча на тиристорі та його діаграми представлені на рисунку 2.10. При зміні е.р.с. живлення e змінюється величина струму керування $i_{ке}$, в момент φ тиристор відкривається і на навантаженні R_H виділяються імпульси позитивної полярності. Зміною величини резистора R регулюють середнє значення випрямленої напруги.

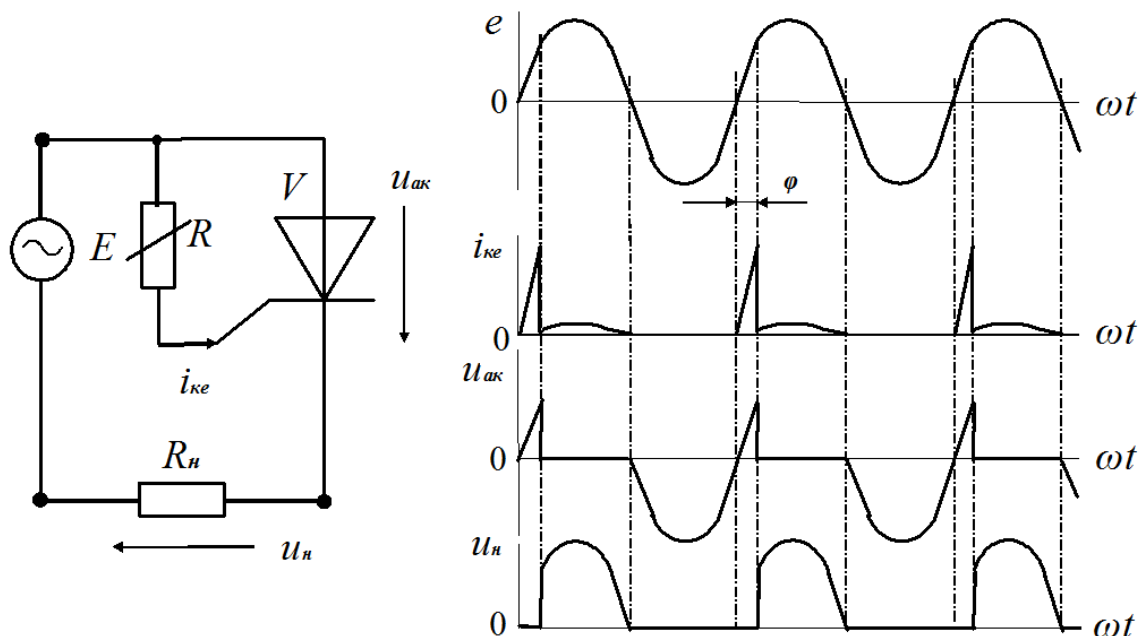


Рисунок 2.10 – Схема однофазного веденого мережею випрямляча на тиристорі

Схема керованого імпульсами струму регулятора змінної напруги на симисторі та діаграми його роботи зображені на рисунку 2.11.

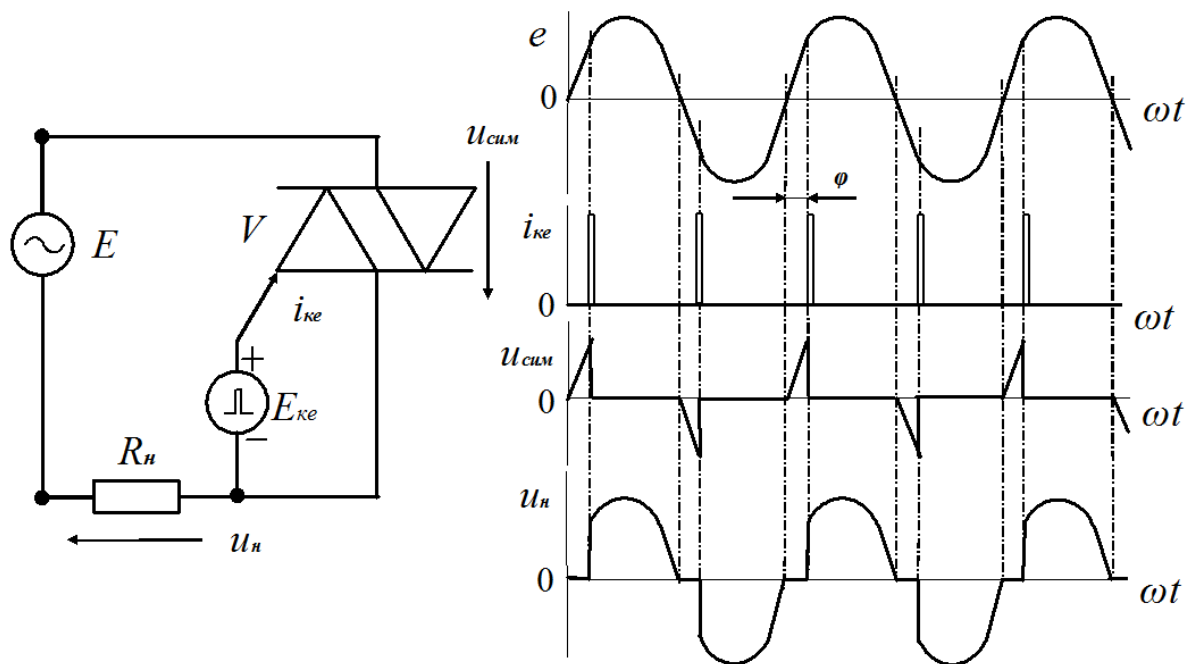


Рисунок 2.11 – Керований регулятор змінної напруги на симисторі

Автогенератор імпульсів (рис. 2.12) на динисторі представлено на рисунку 2.12. Автогенератор працює у такий спосіб. У вихідному стані динистор V запертий, конденсатор C заряджається через резистор R (епюра u_c) до значення напруги перемикання $U_{пер}$ динистора, який відкривається, конденсатор C швидко розряджається через динистор та резистор R_H , оскільки R_H значно менше ніж R . У той момент, коли конденсатор практично розрядився, динистор запирається. Таким чином на резисторі R_H формуються короткі імпульси (епюра R_H).

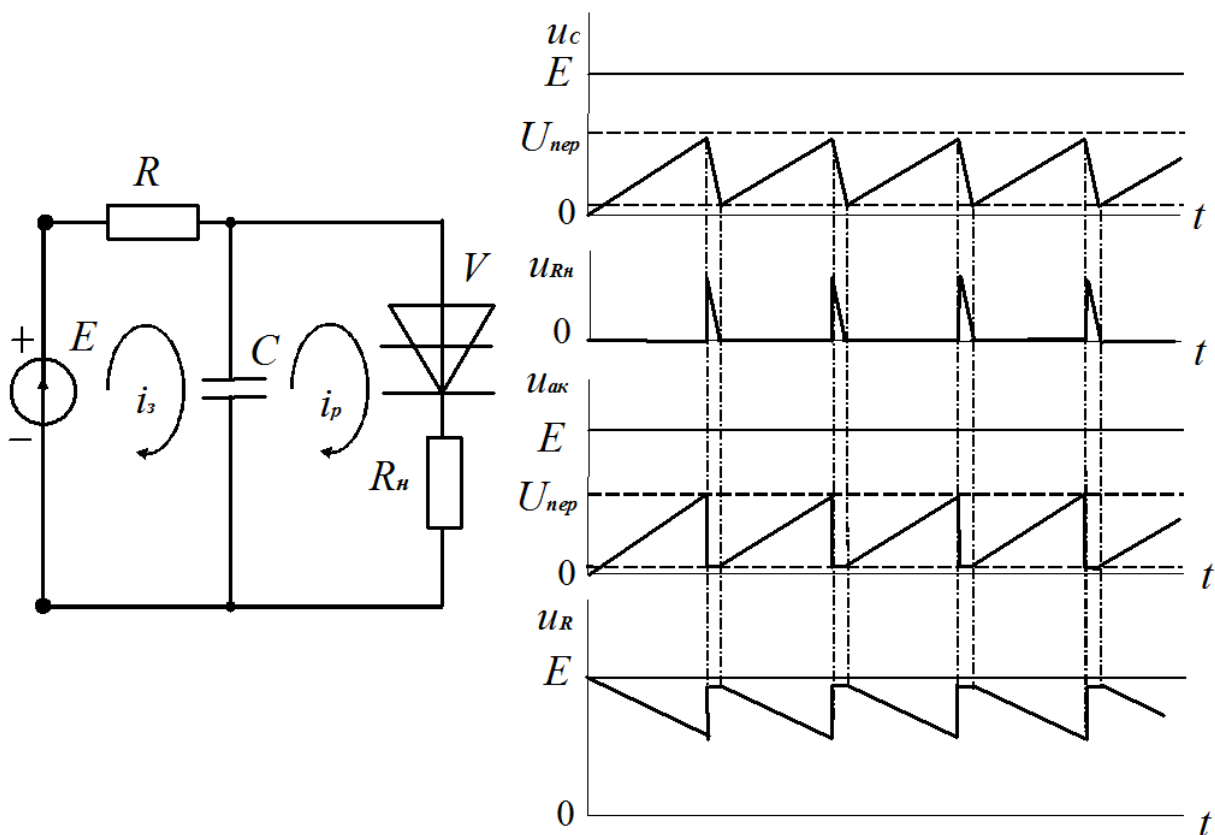


Рисунок 2.12 – Автогенератор імпульсів на динисторі та його діаграми

2.4 Одноперехідні транзистори (двобазові діоди)

Одноперехідний транзистор (двобазовий діод) представляє собою трьохелектродний напівпровідниковий прилад з одним $p-n$ -переходом. Структура та умовне графічне позначення одноперехідного транзистора наведені на рисунку 2.13.

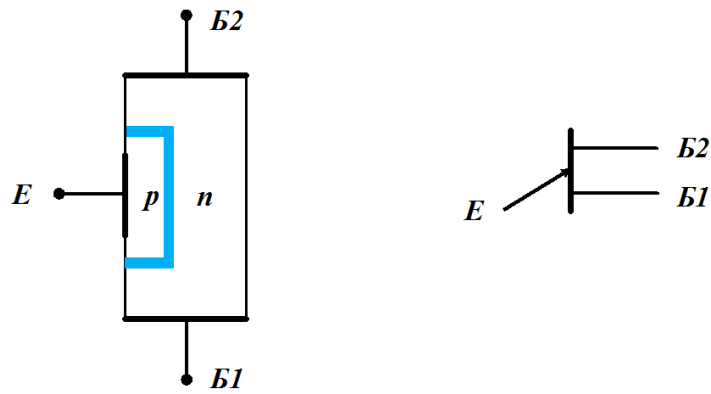


Рисунок 2.13 – Структура та умовне позначення одноперехідного транзистора

Принцип дії одноперехідного транзистора зручно розглядати, користуючись спрощеною еквівалентною схемою заміщення, зображеною на рисунку 2.14.

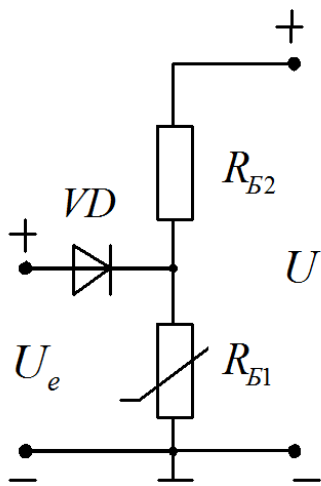


Рисунок 2.14 – Схема заміщення

Тут R_{B2} та R_{B1} - опори між відповідними виводами баз та емітером, VD - емітерний $p-n$ -перехід, U_e - напруга між базою $B1$ та емітером E , U - напруга між базами $B2$ та $B1$.

Струм, який протікає через опори R_{B2} та R_{B1} , створює на опорі R_{B2} спад напруги, що зміщує діод VD у зворотному напрямку. Якщо напруга на емітері U_e менша спаду напруги на опорі R_{B1} , діод VD закритий і через нього протікає незначний зворотній струм.

Коли напруга U_e стає вищою ніж напруга на опорі R_{B1} , діод VD починає пропускати струм у прямому напрямку. При цьому опір R_{B1} зменшується, це призводить до збільшення струму у ланцюгу $VD - R_{B1}$, що, у свою чергу, викликає подальше зменшення опору R_{B1} . Цей процес протікає лавиноподібно.

У результаті на вольт-амперній характеристиці (рис. 2.15) в точці a з'являється область негативного диференційного опору ($a-b$): транзистор відкривається при $U_{пер}$.

При менших величинах напруги U транзистор відкривається при менших величинах U_e .

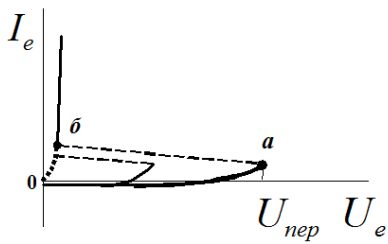


Рисунок 2.15 – ВАХ транзистора

Одноперехідні транзистори широко застосовуються як електронні перемикачі, при побудові генераторів імпульсних сигналів тощо.

Схема автогенератора імпульсів на одноперехідному транзисторі зображена на рисунку 2.16.

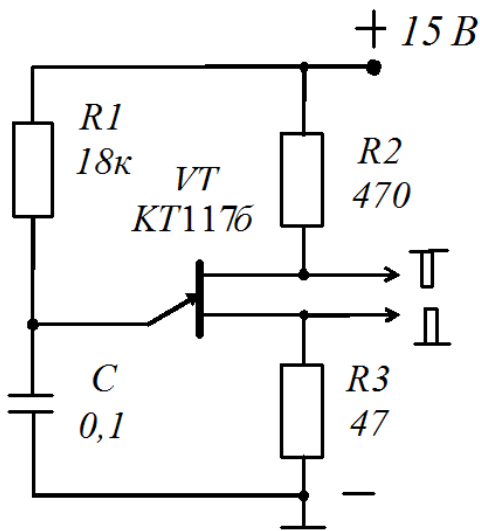


Рисунок 2.16 – Схема Автогенератора імпульсів на одноперехідному транзисторі

При вмиканні живлення конденсатор C заряджається через резистор $R1$. Як тільки напруга на конденсаторі C стає рівною напрузі вмикання транзистора VT , його емітерний перехід відкривається і конденсатор C швидко розряджається через ділянку $E-B1$ та резистор $R3$.

По мірі розряду конденсатора C емітерний струм зменшується та при досягненні величини, що дорівнює струму вимкнення, транзистор закривається, після чого процес повторюється знову. У результаті на базах $B1$ и $B2$ виникають короткі різнополярні імпульси.

ЛЕКЦІЯ 3

ПІДСИЛЮВАЛЬНІ КАСКАДИ

3.1 Принцип побудови підсилювальних каскадів

Основними елементами каскаду є керований елемент KE та резистор R , які разом із джерелом напруги E утворюють *вихідне коло* каскаду (рис. 3.1). Для забезпечення роботи каскаду необхідно створити *режим спокою*, тобто у вхідному та вихідному колах мають діяти певні постійні складові напруг $U_{\text{вхс}}$, U_c та струмів $I_{\text{вхс}}$, I_c . Змінні складові напруг та струмів, які характеризують сигнал, накладаються на зазначені відповідні постійні складові (рис. 3.2).

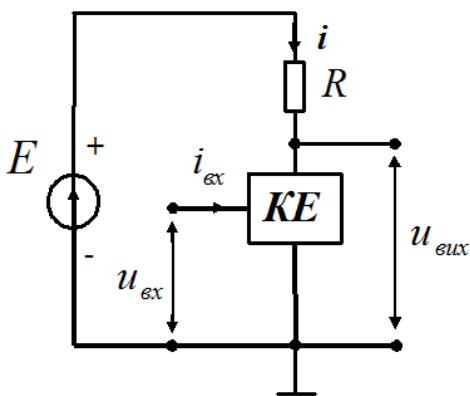


Рисунок 3.1 – Схема каскаду

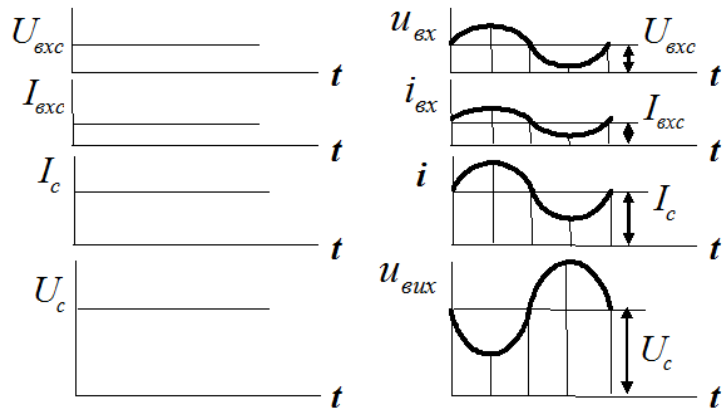


Рисунок 3.2 – Часові діаграми каскаду

Вихідний сигнал $u_{\text{вих}}$, який знімається з виходу KE або з R , створюється завдяки зміні опору KE , а, отже, струму i під дією вхідної напруги $u_{\text{вх}}$. Процес підсилення ґрунтується на перетворенні енергії джерела постійної напруги в енергію вихідного сигналу.

3.2 Підсилювальний каскад зі спільним емітером

У підсилювальному каскаді на біполярному транзисторі у схемі зі спільним емітером СЕ (рис. 3.3) головним ланцюгом є джерело живлення E , транзистор T $n-p-n$ -типу та резистор R_k .

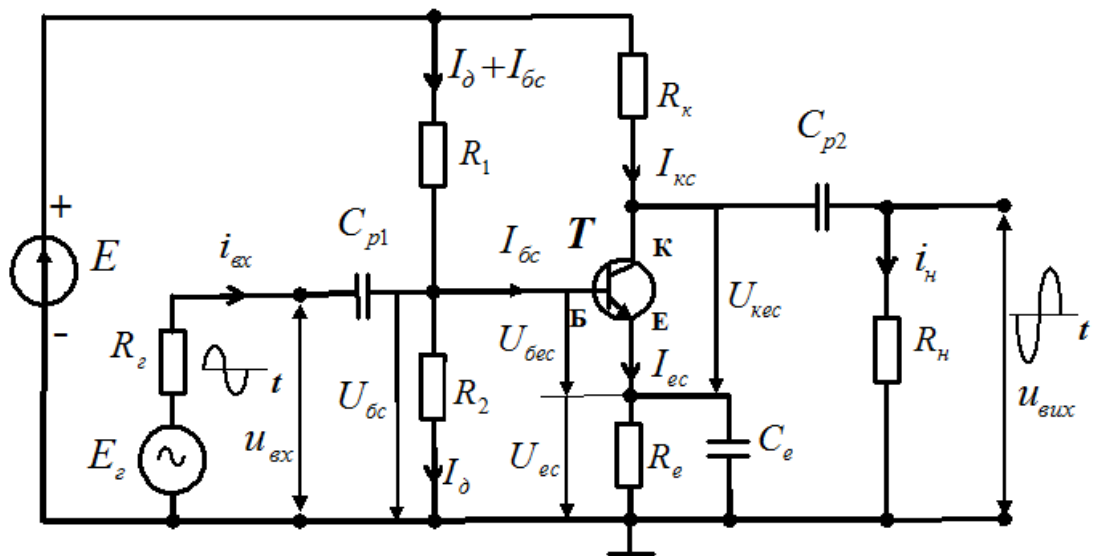


Рисунок 3.3 – Підсилювальний каскад на біполярному транзисторі у схемі СЕ

Конденсатори C_{p1} , C_{p2} є розділовими, вони виключають протікання постійного струму через джерело вхідного сигналу та через навантаження R_n . Дільник напруги, побудований на резисторах R_1 , R_2 , використовується для завдання режиму спокою каскаду. Резистор R_e слугує елементом негативного зворотного зв'язку для стабілізації режиму спокою при зміні температури. Конденсатор C_e шунтує резистор R_e по змінному струму (сигналу).

До входу підсилювального каскаду підключено джерело сигналу, еквівалентна схема якого представлена послідовно з'єднаними е.р.с. E_2 та внутрішнім опором R_2 .

На вихідних вольт-амперних характеристиках транзистора (рис. 3.4) проводять так звану лінію навантаження по постійному струму, яка проходить через точки з координатами $\{E; 0\}$ та $\{0; E / (R_k + R_e)\}$. Ця лінія є геометричним місцем точок можливого режиму спокою $(U_{кес}; I_{кс})$, який для зменшення спотворень сигналу рекомендується вибирати на лінії навантаження по постійному струму, де $U_{кес} \approx E/2$ (точка С).

Відповідно на вхідній вольт-амперній характеристиці транзистора (рис. 3.5) визначається точка спокою С $(U_{бес}; I_{бс})$.

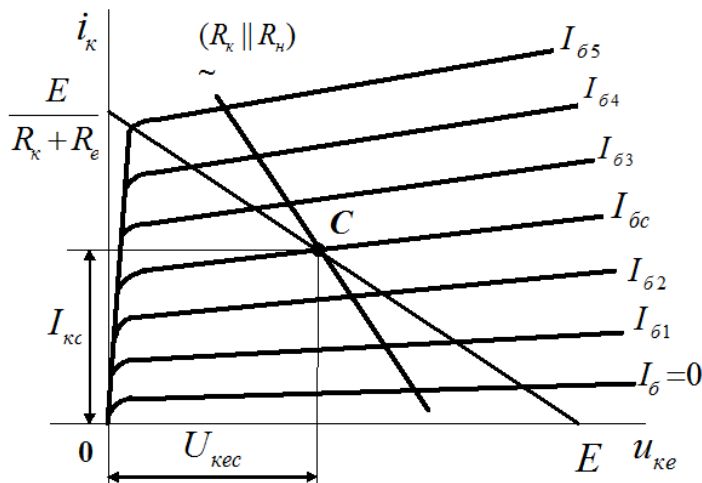


Рисунок 3.4 – Точка спокою C на вихідних ВАХ транзистора

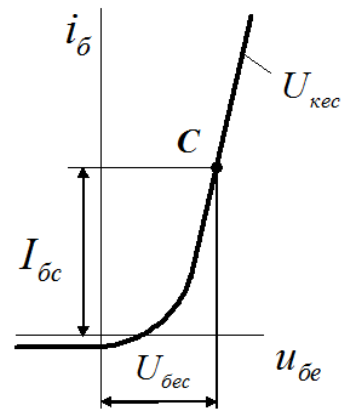


Рисунок 3.5 – Точка спокою C на вхідній ВАХ

При визначенні змінних (сигнальних) складових струму колектору \tilde{i}_k та вихідної напруги $u_{вих}$ використовують лінію навантаження по змінному струму, яка проходить через точку спокою C та має нахил більший, ніж лінія навантаження по постійному струму. Це пояснюється тим, що по змінному струму опір у ланцюгу емітера транзистора практично дорівнює нулю, оскільки резистор R_e шунтується конденсатором C_e , а до колекторного резистора R_k підключається навантаження R_n , оскільки опір конденсатора C_{p2} змінному струму малий. Крім того, джерело напруги E має незначний внутрішній опір змінному струму. Тому опір каскаду змінному струму (сигналу) визначається опорами резисторів R_k та R_n , увімкнутих паралельно, тобто $R_k \parallel R_n$. Отже, оскільки $R_k \parallel R_n < R_k + R_n$, то і нахил лінії навантаження по змінному струму більший.

Каскад СЕ працює таким чином. Подача на його вхід змінної напруги u_{ex} (рис. 3.6, а) призводить до появи змінної складової струму бази \tilde{i}_b , зв'язаною з u_{ex} вхідною вольт-амперною характеристикою (рис. 3.6, б).

Оскільки від змінної складової струму бази \tilde{i}_b через коефіцієнт β залежить змінна складова колекторного струму \tilde{i}_k (рис. 3.7), у колекторному

колі створюється змінна вихідна напруга $u_{вих}$, зв'язана з \tilde{i}_k лінією навантаження по змінному струму (рис. 3.8).

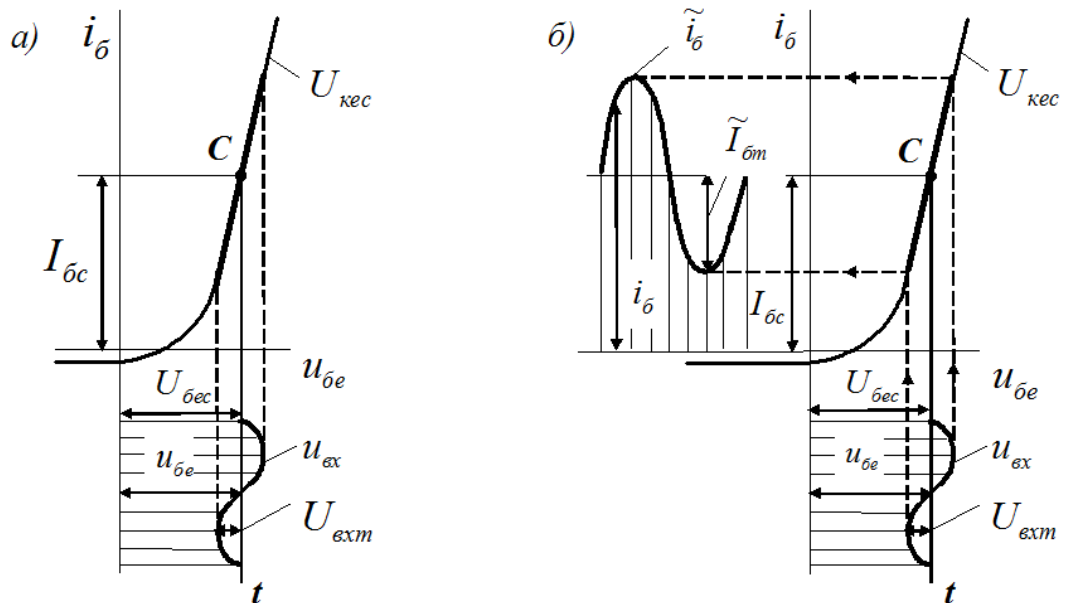


Рисунок 3.6 – Розташування сигналів на вхідній ВАХ транзистора:

a – вхідний сигнал u_{ex} ; b – вхідні сигнали u_{ex} та \tilde{i}_b

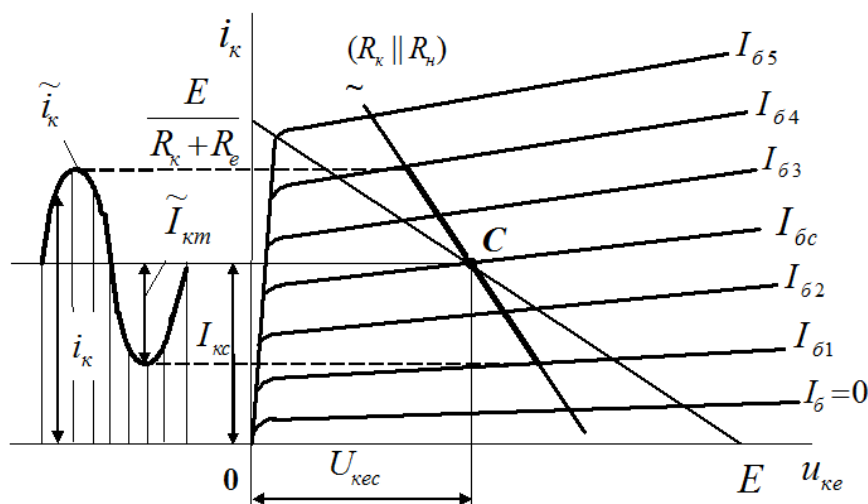


Рисунок 3.7 – Розташування сигналу \tilde{i}_k на вихідних ВАХ транзистора

При цьому *робоча точка* переміщується по лінії навантаження по змінному струму відносно точки спокою C згідно зі змінами миттєвих значень сигналу. За рахунок спаду напруги на резисторі R_k створюється змінна

складова напруги на колекторі, яка через конденсатор C_{p2} передається як вихідна напруга $u_{вих}$ на вихід каскаду – на навантаження R_H (рис. 3.8).

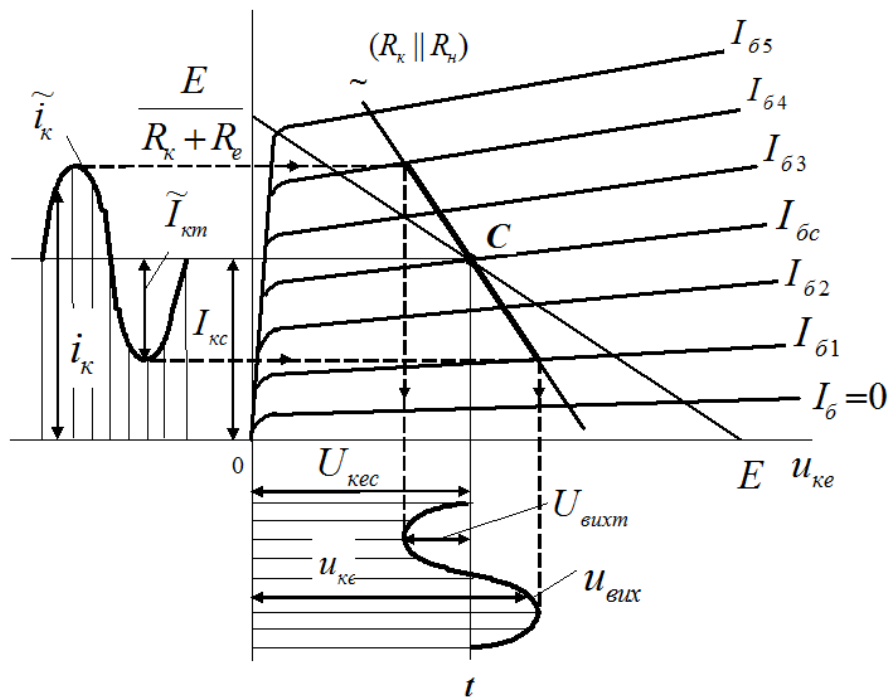


Рисунок 3.8 – Формування змінної вихідної напруги $u_{вих}$ на вихідних ВАХ транзистора

Важливими показниками підсилювального каскаду СЕ є коефіцієнти підсилення по струму K_I , напрузі K_U та потужності K_P , а також вхідний $R_{вх}$ та вихідний $R_{вих}$ опори.

Метод розрахунку заснований на заміні біполярного транзистора та всього каскаду СЕ в цілому еквівалентною схемою заміщення в фізичних параметрах для діючих значень змінних струмів та напруг (сигналів). Схема має вигляд, наведений на рисунку. 3.9.

Джерело струму βI_b імітує підсилювальні властивості біполярного транзистора T .

Вхідний опір каскаду СЕ дорівнює $R_{вх} = R_1 \parallel R_2 \parallel r_{вх} \approx r_{вх}$, оскільки резистори R_1 , R_2 ділянка вибирають таким чином, щоб загальний опір їхнього паралельного з'єднання був значно більшим, ніж вхідний опір транзистора $r_{вх}$ змінному струму (сигналу).

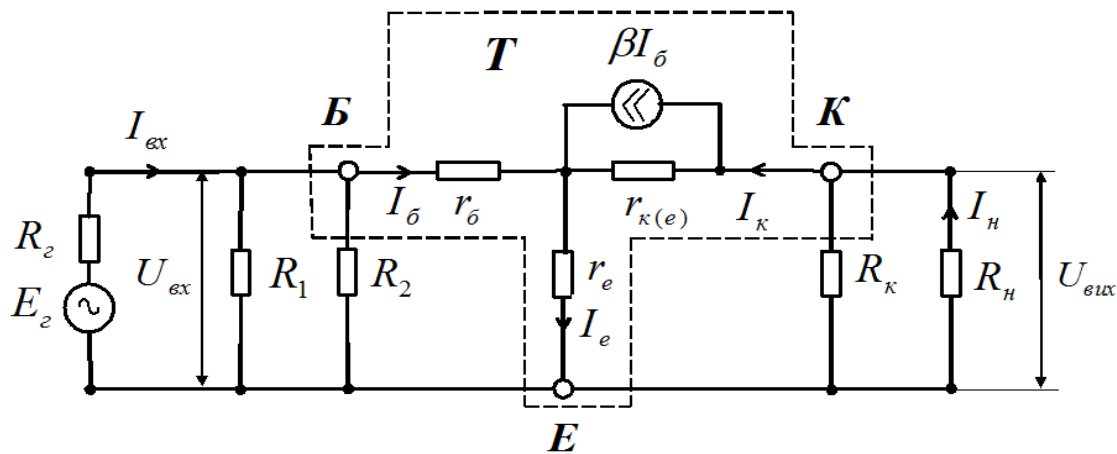


Рисунок 3.9 – Еквівалентна схема заміщення каскаду СЕ

Із схеми видно, що

$$U_{\text{бе}} = r_{\text{б}} I_{\text{б}} + r_{\text{е}} I_{\text{е}} = r_{\text{б}} I_{\text{б}} + r_{\text{е}} (1 + \beta) I_{\text{б}} = [r_{\text{б}} + (1 + \beta) r_{\text{е}}] I_{\text{б}},$$

відкіля $\frac{U_{\text{бе}}}{I_{\text{б}}} = r_{\text{б}} + (1 + \beta) r_{\text{е}} = r_{\text{вх}}.$

Тут $r_{\text{б}}$ – опір базового шару (зазвичай сотні Ом); $r_{\text{е}}$ – опір емітерного переходу у прямому напрямку (зазвичай десятки Ом). Тому вхідний опір каскаду СЕ не перевищує 1-3 кОм.

Паралельно ввімкнені резистори $R_{\text{к}}$ та $R_{\text{н}}$ визначають опір навантаження каскаду СЕ $R_{\text{нк}} = R_{\text{к}} \parallel R_{\text{н}}.$

Вихідний опір каскаду ЗЕ $R_{\text{вих}} = R_{\text{к}} \parallel r_{\text{к(е)}} \approx R_{\text{к}},$ оскільки $R_{\text{к}} \ll r_{\text{к(е)}}.$

Величина вихідного опору каскаду СЕ зазвичай становить одиниці кОм.

Коефіцієнт підсилення каскаду СЕ по струму визначається за формулою $K_I = \frac{I_{\text{вих}}}{I_{\text{вх}}} = \frac{I_{\text{н}}}{I_{\text{вх}}}.$ Згідно зі схемою $I_{\text{н}} = \beta I_{\text{б}} \frac{r_{\text{к(е)}} \parallel R_{\text{к}} \parallel R_{\text{н}}}{R_{\text{н}}}, I_{\text{б}} = I_{\text{вх}} \frac{R_{\text{вх}}}{r_{\text{вх}}}.$ Тоді з урахуванням того, що $R_{\text{вх}} \approx r_{\text{вх}}, I_{\text{б}} \approx I_{\text{вх}}$ та $R_{\text{нк}} \ll r_{\text{к(е)}}$ коефіцієнт підсилення каскаду СЕ по струму дорівнює $K_I \approx \beta \frac{R_{\text{нк}}}{R_{\text{н}}}.$ Його величина становить значно більше одиниці.

Коефіцієнт підсилення каскаду СЕ по напрузі визначається за формулою $K_U = \frac{U_{\text{вих}}}{E_2} = \frac{U_{\text{н}}}{E_2}.$ З урахуванням того, що $U_{\text{н}} = R_{\text{н}} I_{\text{н}}$ та

$E_2 = R_2 I_{\text{вх}} + R_{\text{вх}} I_{\text{вх}} = (R_2 + R_{\text{вх}}) I_{\text{вх}}$ запишемо $K_U = \frac{R_{\text{н}} I_{\text{н}}}{(R_2 + R_{\text{вх}}) I_{\text{вх}}} = K_I \frac{R_{\text{н}}}{R_2 + R_{\text{вх}}}.$ Після

підстановки виразу $K_I \approx \beta \frac{R_{нк}}{R_n}$ отримуємо коефіцієнт підсилення каскаду СЕ по напрузі $K_U \approx \beta \frac{R_{нк}}{R_2 + R_{ex}}$. Його величина становить десятки одиниць.

Коефіцієнт підсилення по потужності у схемі СЕ $K_P = \frac{P_{вих}}{P_{вх}} = K_U K_I$.

Чисельно він становить $(0,2...5) \cdot 10^3$.

3.3 Підсилювальний каскад зі спільним витоком

У підсилювальному каскаді на польовому транзисторі зі вбудованим каналом n -типу у схемі зі спільним витоком (рис. 3.10) головним ланцюгом є джерело живлення E , транзистор T та резистор R_c . Схема подібна каскаду на біполярному транзисторі СЕ.

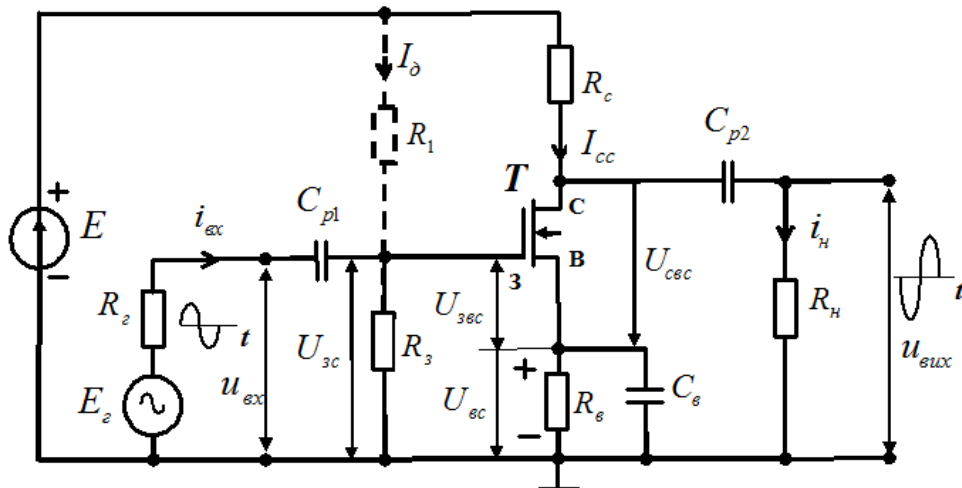


Рисунок 3.10 – Підсилювальний каскад на польовому транзисторі у схемі зі спільним витоком

Конденсатори C_{p1} , C_{p2} є розділовими, вони виключають протікання постійного струму через джерело вхідного сигналу та через навантаження R_n . Дільник напруги, побудований на резисторах R_1 , R_3 , та резистор R_g використовуються для завдання режиму спокою каскаду. Крім того резистор R_g слугує елементом негативного зворотного зв'язку для стабілізації режиму спокою каскаду при зміні температури. Конденсатор C_g шунтує резистор R_g по змінному струму (сигналу). До входу підсилювального каскаду підключено

джерело сигналу, еквівалентна схема якого представлена послідовно з'єднаними е.р.с. E_2 та внутрішнім опором R_2 .

Оскільки транзистор зі вбудованим каналом n -типу може працювати як у режимі збагачення, так і в режимі збіднення, резистор R_1 при роботі в режимі збіднення (при $U_{звс} < 0$) не потрібен. Негативний потенціал спокою затвору $З$ задається падінням напруги на резисторі R_6 .

Принцип підсилення вхідного сигналу цього каскаду аналогічний принципу дії каскаду на біполярному транзисторі по схемі СЕ. Каскад зі спільним витоком, як і каскад СЕ, здійснює поворот вхідного сигналу по фазі на π .

Метод розрахунку основних показників каскаду заснований на заміні польового транзистора та всього каскаду еквівалентною схемою заміщення в фізичних параметрах для діючого значення змінних струмів та напруг (сигналів), яка має вигляд, наведений на рисунку 3.11.

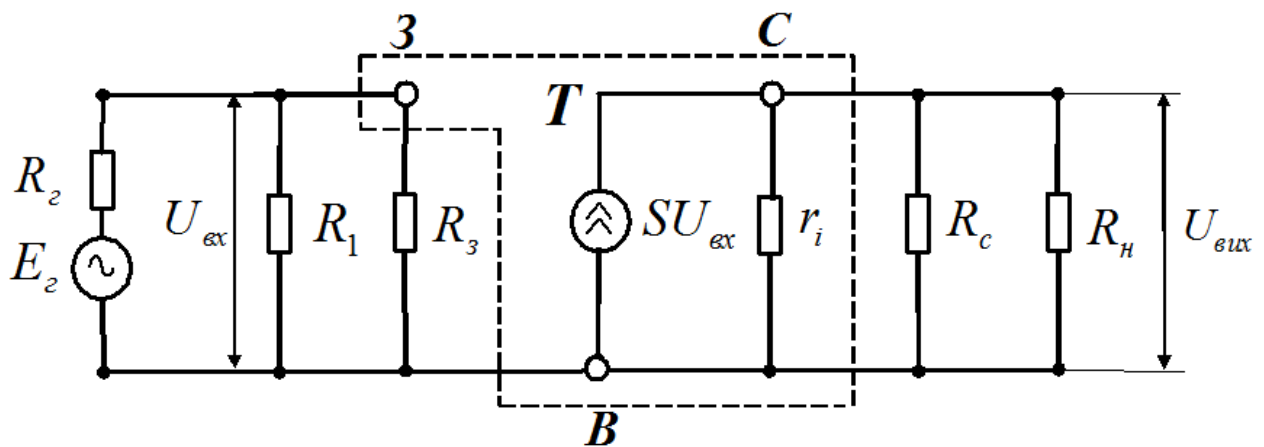


Рисунок 3.11 – Еквівалентна схема заміщення каскаду зі спільним витоком

Тут $S = \left. \frac{dI_c}{dU_{звс}} \right|_{U_{св}=const}$ – крутизна стоко-затворної характеристики,

$r_i = \left. \frac{dU_{св}}{dI_c} \right|_{U_{звс}=const}$ – внутрішній опір транзистора.

Джерело струму SU_{ex} імітує підсилювальні властивості польового транзистора T . Паралельно ввімкнені резистори R_c та R_n визначають опір навантаження каскаду $R_{нк} = R_c \parallel R_n$.

Вхідний опір каскаду $R_{\text{вх}} = R_1 \parallel R_3$.

Оскільки $R_2 \ll R_{\text{вх}}$, то $E_2 \approx U_{\text{вх}}$.

Коефіцієнт підсилення каскаду по напрузі дорівнює

$$K_U = \frac{U_{\text{вих}}}{U_{\text{вх}}} = \frac{S U_{\text{вх}} (r_i \parallel R_{\text{нк}})}{U_{\text{вх}}} = S (r_i \parallel R_{\text{нк}}) = \frac{S r_i R_{\text{нк}}}{r_i + R_{\text{нк}}} = \frac{\mu R_{\text{нк}}}{r_i + R_{\text{нк}}},$$

де $\mu = S r_i$ - статичний коефіцієнт підсилення транзистора.

Зазвичай $R_{\text{нк}} \ll r_i$, тоді $K_U \approx S R_{\text{нк}}$.

Вихідний опір каскаду $R_{\text{вих}} = R_c \parallel r_i \approx R_c$.

3.4 Підсилювальний каскад зі спільним колектором (емітерний повторювач)

У підсилювальному каскаді зі спільним колектором СК (рис. 3.12) колекторний вивід по змінному струму (сигналу) є спільним електродом для вхідного та вихідного ланцюгів.

Його також називають емітерним повторювачем, оскільки вихідна напруга, яка знімається з емітера, близька за величиною вхідній напрузі та співпадає з нею по фазі. Головним ланцюгом каскаду є джерело E , транзистор T $n-p-n$ -типу та резистор R_e .

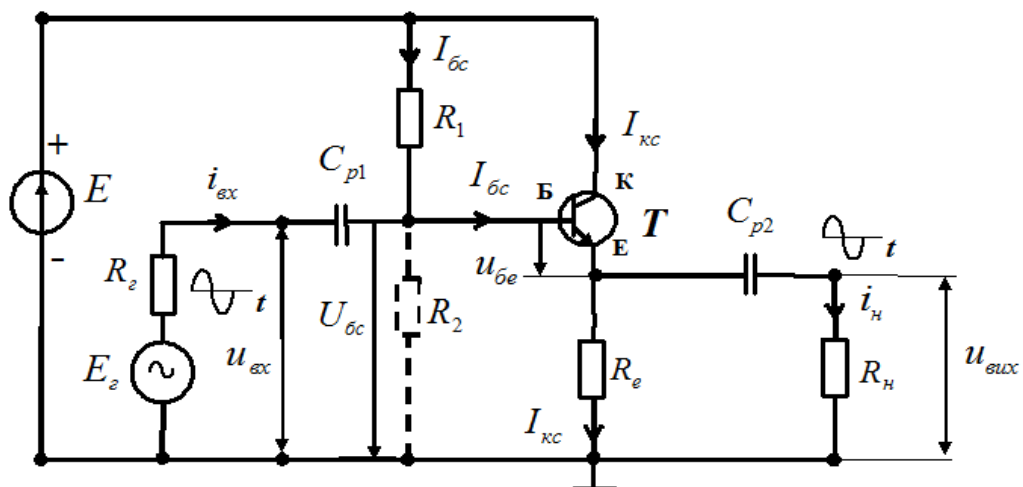


Рисунок 3.12 – Підсилювальний каскад зі спільним колектором
(емітерний повторювач)

Резистор R_e відіграє виконує ту ж функцію, що і резистор R_k у схемі СЕ, а саме: створення у вихідному колі напруги, яка змінюється за рахунок протікання в ньому струму, що керується ланцюгом бази. Із схеми видно, що вихідна напруга дорівнює $u_{вих} = u_{ex} - u_{oe}$, тобто дещо менша ніж вхідна напруга u_{ex} .

Вхідний опір каскаду СК визначається виразом $R_{ex} = R_1 \parallel R_2 \parallel r_{ex}$. Для знаходження r_{ex} запишемо $U_{ex} = I_{\bar{o}} [r_{\bar{o}} + (1 + \beta)(r_e + R_e \parallel R_n)]$, відкіля $r_{ex} = [r_{\bar{o}} + (1 + \beta)(r_e + R_e \parallel R_n)]$. Величина вхідного опору має значну величину, яка сягає десятків кОм. Це є однією з найважливіших переваг емітерного повторювача.

Коефіцієнт підсилення каскаду по струму СК $K_I \approx (1 + \beta) \frac{R_e \parallel R_n}{R_n}$.

Вихідний опір каскаду СК $R_{вих} \approx R_e \parallel r_e$. Величина його мала і становить 10–50 Ом.

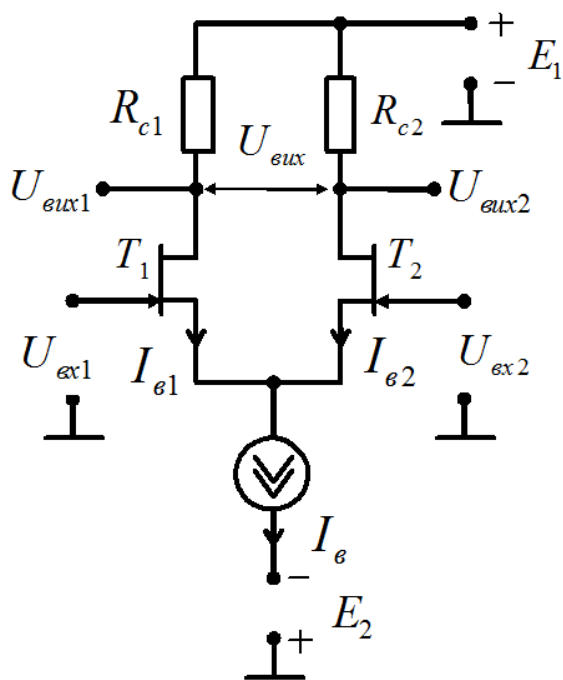
Емітерний повторювач використовують для узгодження опорів ланок та як вихідний потужний каскад підсилювача.

ЛЕКЦІЯ 4

АНАЛОГОВА ТА ІМПУЛЬСНА МІКРОСХЕМОТЕХНІКА НА ОПЕРАЦІЙНИХ ПІДСИЛЮВАЧАХ

4.1 Диференційний (паралельно-балансний) підсилювальний каскад

Радикальним засобом зменшення дрейфу підсилювачів є застосування диференційних (паралельно-балансних) каскадів (рис. 4.1).



Вони виконуються за принципом збалансованого моста, два плеча якого створені резисторами R_{c1} та R_{c2} , а два інших - польовими транзисторами T_1 та T_2 . Вихідна напруга знімається між стоками (тобто з діагоналі моста) або зі стоків.

У схемі передбачено джерело стабільного струму $I_e = I_{e1} + I_{e2} = const$, підключене до витоків транзисторів.

Рисунок 4.1 – Диференційний каскад

Живлення каскаду здійснюється від двох джерел E_1 та E_2 , з'єднаних

послідовно. Причому джерело E_2 необхідне для зниження потенціалу затворів відносно «землі». Варіанти подачі вхідного сигналу від одного джерела представлені на рисунку 4.2.

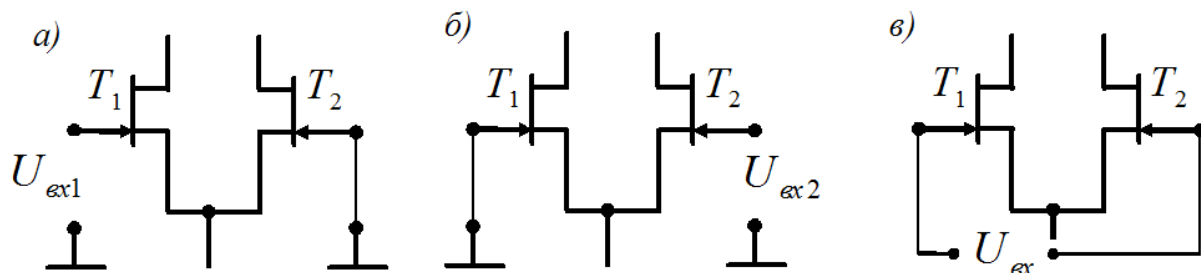


Рисунок 4.2 – Варіанти подачі вхідного сигналу від одного джерела

Зміна стокових струмів під дією вхідної напруги призводить до зміни так званої *потенціальної діаграми каскаду*. Наприклад, для варіанту *a)* вона має такий вигляд (рис. 4.3).

При збільшенні вхідної напруги $U_{вх1}$ збільшується струм $I_{\epsilon1}$, зменшується напруга $U_{вих1} = E_1 - R_{c1}I_{\epsilon1}$, що викликає збільшення негативного за знаком приросту напруги $-\Delta U_{вих1}$. Одночасно зменшується струм $I_{\epsilon2}$, збільшуються напруга $U_{вих2} = E_1 - R_{c2}I_{\epsilon2}$ та приріст напруги $+\Delta U_{вих2}$.

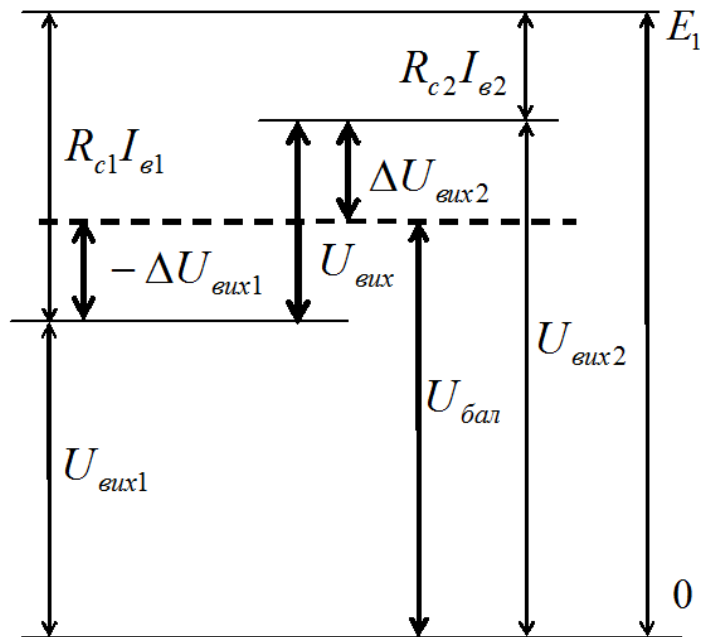


Рисунок 4.3 – Потенціальна діаграма каскаду

Таким чином, вихід каскаду $U_{вих1}$ є *інвертуючим*, а вихід каскаду $U_{вих2}$ – *неінвертуючим*. Сигнал $U_{вих}$, який знімається з обох стоків, називається *диференційний*: $U_{вих} = U_{вих2} - U_{вих1} = \Delta U_{вих2} - (-\Delta U_{вих1}) = 2\Delta U$.

Диференційні каскади на польових транзисторах відрізняються дуже високим (починаючи з десятків МОм) вхідним опором.

Сьогодні в електротехнічних та електромеханічних системах широко застосовуються підсилювачі різного призначення, зокрема, підсилювачі звукових та високих частот, широкополосні (імпульсні) підсилювачі, підсилювачі постійного струму, селективні підсилювачі.

4.2 Операційні підсилювачі

Операційний підсилювач (ОП) (рис. 4.3) є підсилювачем постійного струму з великим коефіцієнтом підсилення по напрузі, має диференційний вхід

(два вхідних виводи – інвертуючий вхід U_{exi} та неінвертуючий вхід U_{exn}) та один вихід $U_{вих}$.

Основу ОП становить диференційний каскад, який є вхідним, а вихідний каскад – емітерний повторювач.

Живлять ОП два джерела напруги $+E$ та $-E$.

Уявляючи операційний підсилювач ідеальною моделлю, вважають, що коефіцієнт підсилення по напрузі $K_{UOP} \rightarrow \infty$, вхідний опір $R_{ex} \rightarrow \infty$, вихідний опір $R_{вих} \approx 0$.

Найважливішими характеристиками ОП є його *амплітудні (передавальні) характеристики* (рис. 4.4). Кожна з кривих складається з горизонтальної та похилої ділянок. Горизонтальні ділянки відповідають повністю відкритому (насиченому) або закритому транзистору вихідного каскаду (емітерного повторювача). Похилій (лінійній) ділянці відповідає пропорційна залежність вихідної напруги від вхідної.

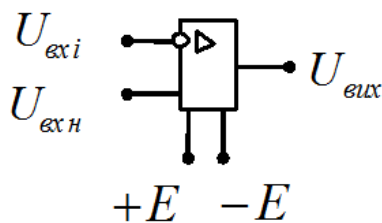


Рисунок 4.3 – Умовне позначення ОП

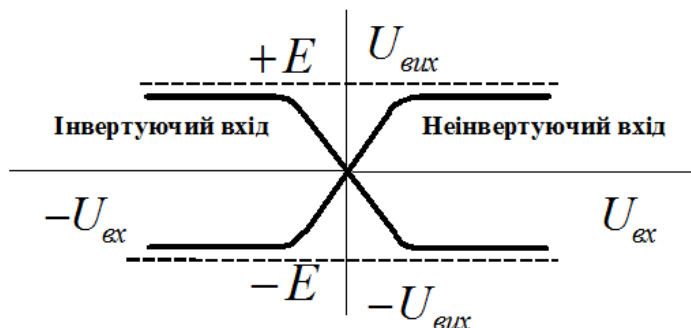


Рисунок 4.4 – Амплітудні (передавальні) характеристики ОП

4.3 Інвертуючий підсилювач

Інвертуючий підсилювач на ОП (рис. 4.5) змінює знак вихідного сигналу відносно вхідного завдяки застосуванню по інвертуючому входу за допомогою резистора $R_{зз}$ паралельного негативного зворотного зв'язку по напрузі.

Неінвертуючий вхід сполучається із загальною точкою входу та виходу схеми, а вхідний сигнал подається через резистор R_1 на інвертуючий вхід.

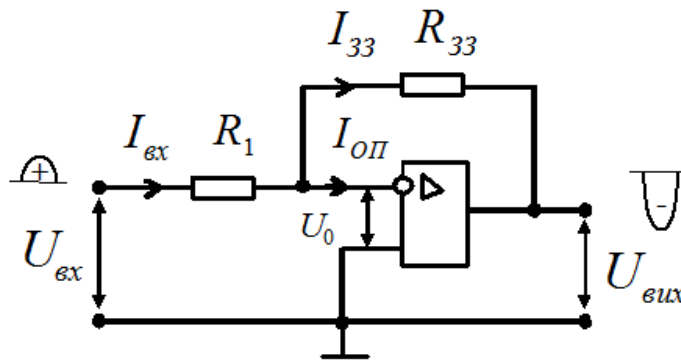


Рисунок 4. 5 – Інвертуючий підсилювач на ОП

Оскільки $K_{U_{ОП}} \rightarrow \infty$ та $R_{вх} \rightarrow \infty$, то $U_0 = 0$ та $I_{ОП} = 0$. Тоді $I_{вх} = I_{33}$, або $\frac{U_{вх}}{R_1} = -\frac{U_{вих}}{R_{33}}$. Звідси коефіцієнт підсилення по напрузі інвертуючого підсилювача на ОП дорівнює $K_{U_i} = \frac{U_{вих}}{U_{вх}} = -\frac{R_{33}}{R_1}$.

При виборі $R_{33} = R_1$ коефіцієнт підсилення по напрузі дорівнює $K_{U_i} = -1$, тобто такий підсилювач отримує властивості *інвертуючого повторювача напруги (інвертора сигналу)*.

4.4 Неінвертуючий підсилювач

У *неінвертуючому підсилювачу* на ОП (рис. 4.6) діє послідовний негативний зворотний зв'язок по напрузі по інвертуючому входу. Вхідний сигнал подається на неінвертуючий вхід. Неінвертуючий підсилювач не змінює фазу вихідного сигналу відносно вхідного.

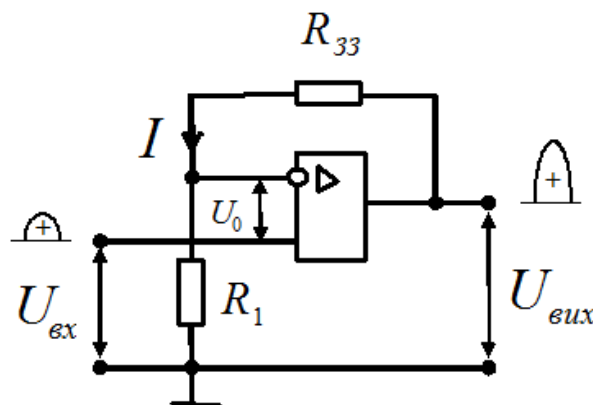


Рисунок 4.6 – Неінвертуючий підсилювач на ОП

Оскільки $U_0 = 0$, вхідна напруга $U_{вх} = R_1 I$, а вихідна напруга $U_{вих} = (R_{33} + R_1) I$, звідки коефіцієнт підсилення по напрузі неінвертуючого підсилювача на ОП дорівнює $K_{U_n} = \frac{U_{вих}}{U_{вх}} = \frac{R_1 + R_{33}}{R_1} = 1 + \frac{R_{33}}{R_1}$.

При $R_{33} = 0$ та $R_1 \rightarrow \infty$ коефіцієнт підсилення по напрузі стає $K_{U_n} = 1$ і схема стає неінвертуючим повторювачем напруги (рис. 4.7).

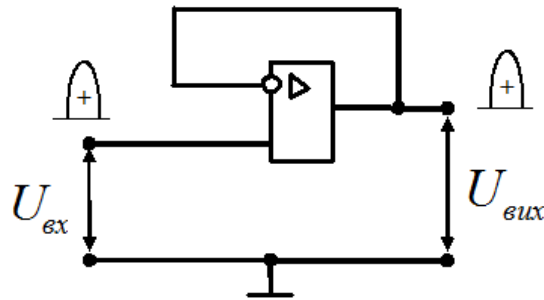


Рисунок 4.7 – Неінвертуючий повторювач напруги на ОП

4.5 Інвертуючий суматор

Схема інвертуючого суматора на ОП реалізується по типу інвертуючого підсилювача з числом паралельних гілок на вході, яке дорівнює кількості сигналів, призначених для додавання (рис. 4.8).

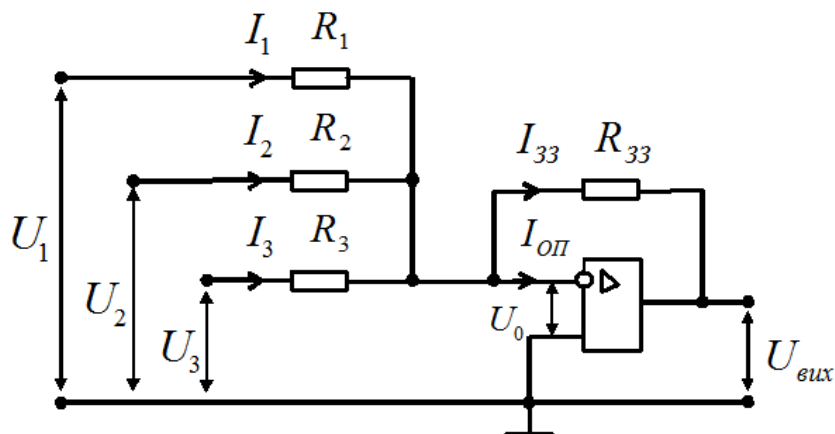


Рисунок 4.8 – Інвертуючий суматор на ОП

У разі однакових величин резисторів $R_{33} = R_1 = R_2 = R_3$ та $I_{ОП} = 0$ згідно з I законом Кірхгофа маємо $I_{33} = I_1 + I_2 + I_3$ або при $U_0 = 0$

$$U_{\text{вих}} = -R_{33} I_{33} = -R_{33} (I_1 + I_2 + I_3) = -(R_1 I_1 + R_2 I_2 + R_3 I_3) = -(U_1 + U_2 + U_3), \quad \text{тобто}$$

$$U_{\text{вих}} = -(U_1 + U_2 + U_3).$$

Додавання може здійснюватися також із відповідними ваговими коефіцієнтами для кожного з доданків, що досягається застосуванням різних значень опорів резисторів у вхідних гілках:

$$U_{\text{вих}} = -\left(\frac{R_{33}}{R_1} U_1 + \frac{R_{33}}{R_2} U_2 + \frac{R_{33}}{R_3} U_3\right).$$

4.6 Інтегратор

Схема *інтегратора* на ОП (рис. 4.9) створюється заміною резистора зворотного зв'язку R_{33} в інвертуючому підсилювачу конденсатором C . Часову діаграму інтегратора наведено на рисунку 4.10.

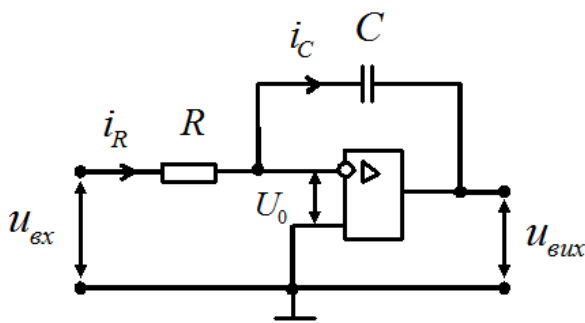


Рисунок 4.9 – Інтегратор на ОП

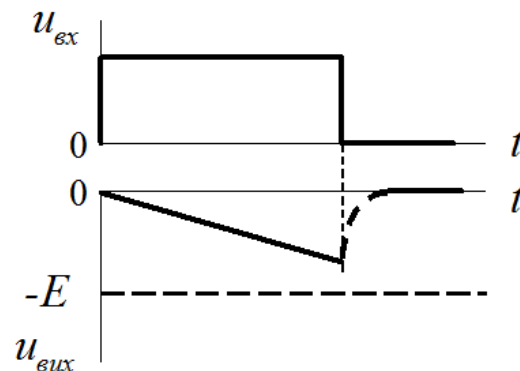


Рисунок 4.10 – Часові діаграми

Із схеми видно, що $i_C = i_R$. Тоді $-C \frac{du_{\text{вих}}}{dt} = \frac{u_{\text{вх}}}{R}$, після інтегрування маємо

$$u_{\text{вих}} = -\frac{1}{RC} \int_0^t u_{\text{вх}} dt + U_{\text{вих}0}, \quad \text{де } U_{\text{вих}0} - \text{вихідна напруга при } t = 0.$$

Відлік часу ведуть з моменту подачі вхідного сигналу зазвичай при $t = 0$,

$$u_{\text{вх}} = 0 \quad \text{та} \quad u_{\text{вих}} = 0. \quad \text{Тоді} \quad u_{\text{вих}} = -\frac{1}{\tau} \int_0^t u_{\text{вх}} dt, \quad \text{де } \tau = RC - \text{постійна часу.}$$

Так, при $R = 1 \text{ МОм}$ та $C = 0,1 \text{ мкФ}$ постійна часу становить $\tau = 0,1 \text{ с}$ і масштаб інтегрування в часі становить 10.

На базі інтеграторів будують аналогові та імпульсні пристрої, зокрема, генератори лінійно змінної напруги.

4.7 Компаратор

Компаратор (пороговий елемент) здійснює порівняння вхідної напруги $u_{вх}$ з опорною напругою $U_{он}$. На рисунку 4.11 зображено схему компаратора та передавальну характеристику $u_{вих}(u_{вх})$.

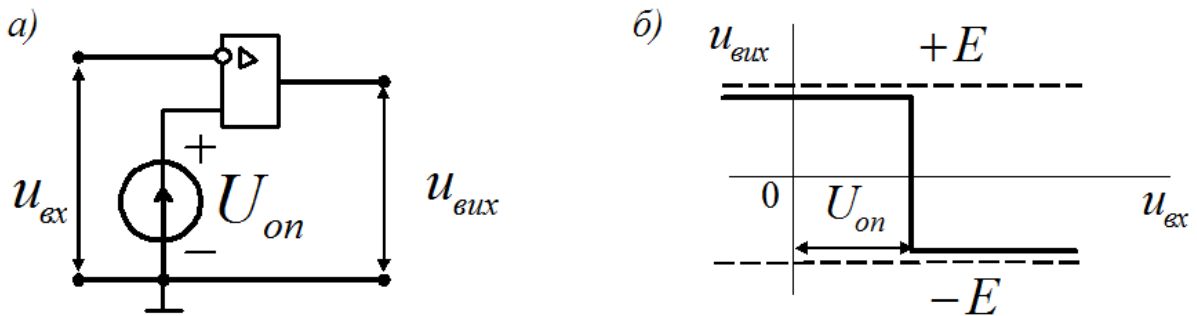


Рисунок 4.11 – Компаратор на ОП: *a* – схема; *б* – передавальна характеристика

Принцип дії компаратора пояснюється часовими діаграмами (рис. 4.12).

При вхідній напрузі $u_{вх} < U_{он}$ вихідний сигнал компаратора $u_{вих} \approx E$.

При досягненні вхідною напругою $u_{вх}$ рівня опорної напруги $U_{он}$ змінюється полярність напруги на виході, тобто вихідний сигнал стає $u_{вих} \approx -E$.

Перемикання компаратора здійснюється лавиноподібно.

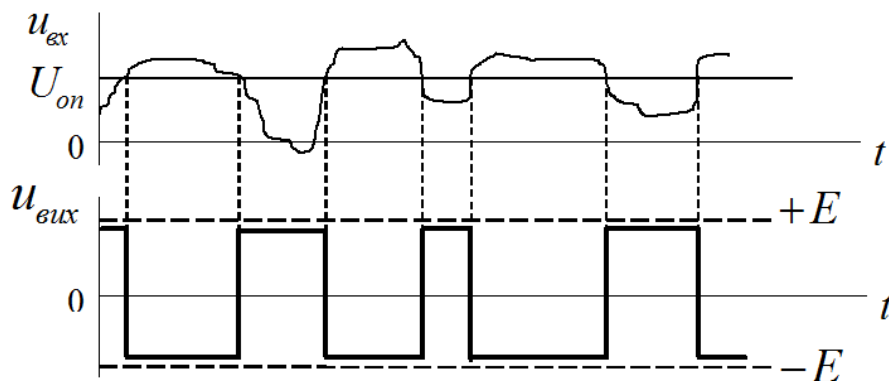


Рисунок 4.12 – Часові діаграми компаратора на ОП

При $U_{он} = 0$ компаратор здійснює фіксацію моменту переходу вхідної напруги через нуль, тому його називають *нуль-органом*.

4.8 Тригер Шмітта

У тригері Шмітта операційний підсилювач охоплений позитивним зворотним зв'язком по неінвертуючому входу дільником напруги R_1, R_2 (рис. 4.13, а). Його передавальна характеристика з гістерезисом зображена на рисунку 4.13, б).

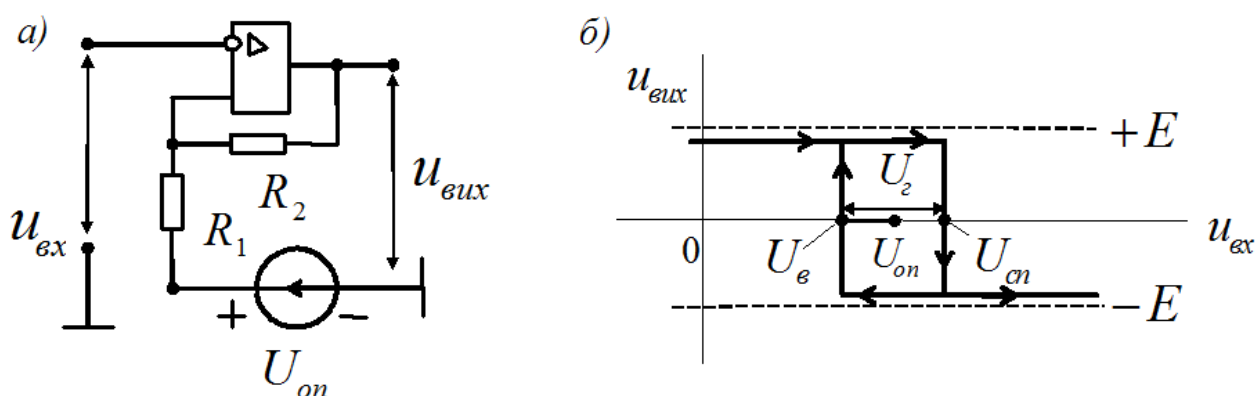


Рисунок 4.13 – Тригер Шмітта: а – схема; б – передавальна характеристика

$$\text{Величина порога спрацювання } U_{cn} \approx U_{on} + \frac{E - U_{on}}{R_1 + R_2} R_1.$$

$$\text{Величина порога відпускання } U_{с} \approx U_{on} - \frac{|-E| + U_{on}}{R_1 + R_2} R_1.$$

$$\text{Ширина петлі гістерезису } U_2 = U_{cn} - U_{с} \approx \frac{R_1}{R_1 + R_2} [E + |-E|].$$

4.9 Мультивібратори

Мультивібратори відносяться до класу вузлів імпульсної техніки, призначених для генерування періодичної послідовності імпульсів напруги прямокутної форми з такими параметрами як амплітуда, тривалість, частота слідування.

Мультивібратори працюють в режимі самозбудження: для формування імпульсного сигналу не потрібний зовнішній вплив, наприклад, подача вхідних сигналів. Процес отримання імпульсної напруги базується на перетворенні енергії джерела постійного струму.

Побудова мультивібратора на операційному підсилювачу ґрунтується на використанні схеми тригера Шмітта.

Автоколивальний режим роботи *симетричного мультивібратора* створюється завдяки підключенню до інвертуючого входу ланцюга з послідовно з'єднаних конденсатора C та резистора R , що задають час, а операційний підсилювач охоплений позитивним зворотним зв'язком по неінвертуючому входу за допомогою дільника напруги, побудованого на резисторах R_1, R_2 (рис. 4.14).

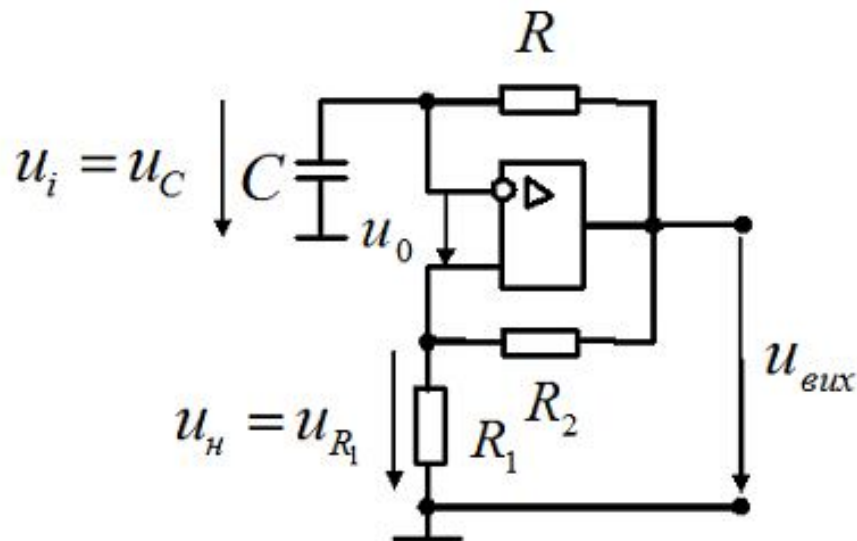


Рисунок 4.14 – Схема симетричного мультивібратора на ОП

Часові діаграми симетричного мультивібратора наведено на рисунку 4.15.

Нехай при $t = 0$ $u_0 > 0$, тоді на виході операційного підсилювача

$u_{вих} \approx -E$ та на його прямому вході $u_n = -\kappa E$ (епюри $a, б, з$), де $\kappa = \frac{R_1}{R_1 + R_2}$ –

коефіцієнт передачі ланцюга позитивного зворотного зв'язку. При цьому конденсатор C заряджається через резистор R та вихід операційного підсилювача до моменту часу t_1 . У момент часу t_1 напруга на інверсному вході (епюра $в$), що змінюється експоненціально, досягає напруги на прямому вході $u_n = -\kappa E$.

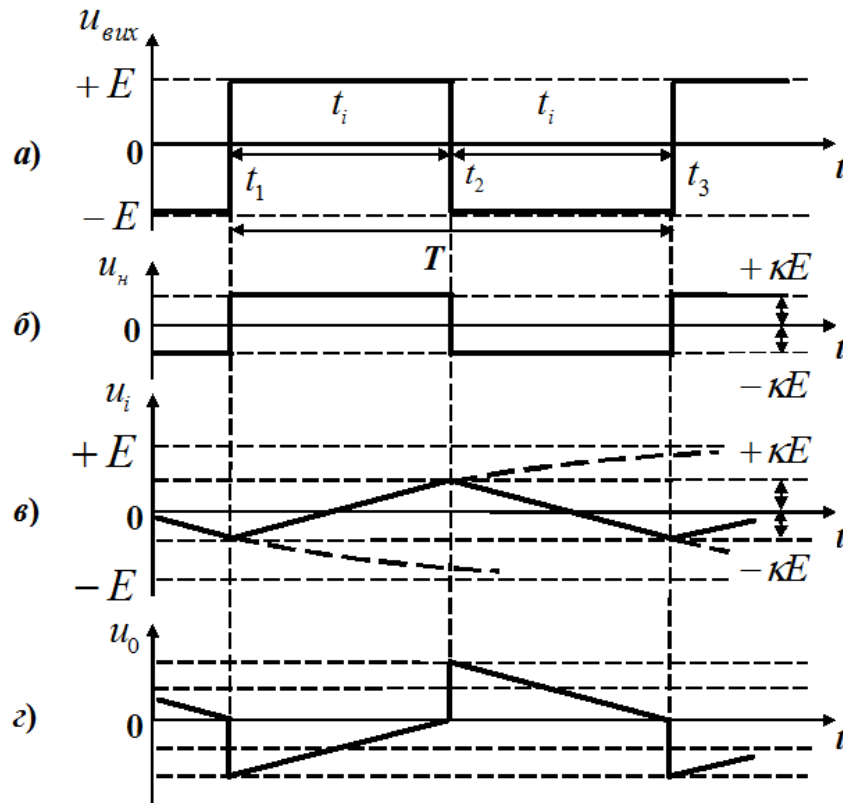


Рисунок 4.15 – Часові діаграми роботи симетричного мультівібратора на ОП

Напруга u_0 дорівнює нулю, що викликає швидку зміну полярності напруги на виході ОП: $u_{вих} \approx E$, тому напруга $u_н$ змінює знак і дорівнює $u_н = \kappa E$, що відповідає $u_0 < 0$ (епюри а, б, в, г). З моменту часу t_1 починається перезарядка конденсатора C у зворотному напрямку (епюра в) і в момент часу t_2 напруга на ньому досягає значення $u_н = \kappa E$. Напруга u_0 знову дорівнює нулю, що викликає перемикання ОП. Далі процеси протікають аналогічно.

Частота слідування імпульсів симетричного мультівібратора

$$f = \frac{1}{T} = \frac{1}{2t_i}.$$

Період коливань $T = 2\tau \ln(1 + 2R_1 / R_2)$, де $\tau = RC$ – постійна часу.

Несиметричний мультівібратор має дві паралельні гілки, які забезпечують різні постійні часу по напівперіодах. Замість резистора R застосовано дві гілки, які містять резистор та діод (рис. 4.16, а).

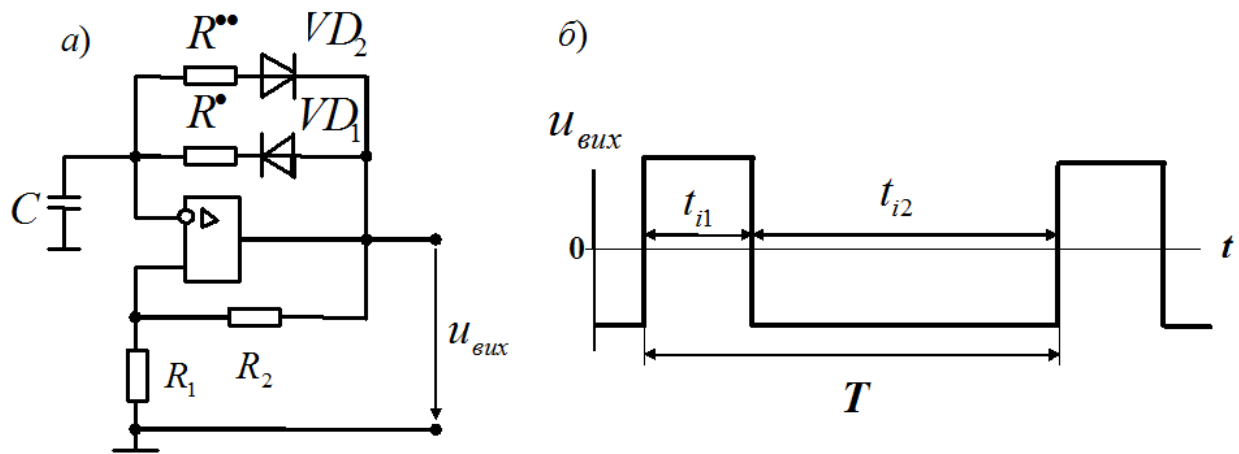


Рисунок 4.16 – Несиметричний мультивібратор на ОП:

a – схема; *б* – часові діаграми

Діод VD_1 відкритий при позитивній полярності $u_{вих}$, а VD_2 – при негативній. У першому випадку постійна часу $\tau = R \cdot C$, у другому $\tau = R^* \cdot C$. На рисунку 4.16, б зображена напруга $u_{вих}$ при $R^* < R$.

Період слідування імпульсів $T = t_{i1} + t_{i2}$.

ЛЕКЦІЯ 5

ОСНОВИ АЛГЕБРИ ЛОГІКИ. КОМБІНАЦІЙНІ ЛОГІЧНІ СХЕМИ. СИНТЕЗ ЛОГІЧНИХ СХЕМ

5.1 Системи числення

Система числення – це сукупність цифр і правил для записування чисел. Системи числення поділяються на позиційні та непозиційні. Число в *позиційній системі* можна представити у вигляді полінома

$$A_q = a_n q^n + a_{n-1} q^{n-1} + \dots + a_0 q^0 + a_{-1} q^{-1} + \dots + a_{-m} q^{-m},$$

де q – основа системи числення; a_i – цифра в позиції; $0, 1, 2, \dots, n$ – номери розрядів цілої частини; $-1, -2, \dots, -m$ – номери розрядів дробової частини числа.

У залежності від основи q позиційні системи поділяються на *десяткову (DEC)* з основою $q = 10$ (цифри в позиції числа $0, 1, 2, 3, 4, 5, 6, 7, 8, 9$), *двійкову (BIN)* з основою $q = 2$ (цифри в позиції числа $0, 1$), *вісімкову (OCT)* з основою $q = 8$ (цифри в позиції числа $0, 1, 2, 3, 4, 5, 6, 7$), *шістнадцяткову (HEX)* з основою $q = 16$ (цифри та букви в позиції числа $0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F$).

Для переведення цілого числа *десятькової* системи в іншу необхідно поділити це число на нову основу за правилом: одержана перша остача є значенням молодшого розряду в новій системі, а першу частку необхідно знову ділити. Це ділення продовжується до появи неподільної частки. Результат записують у порядку, оберненому одержанню остач, причому неподільна частка є старшим розрядом. Приклад переведення десяткового числа 95D у системи:

двійкову

$$\begin{array}{r} 95 \overline{)2} \\ 8 \quad 47 \overline{)2} \\ 15 \quad 4 \quad 23 \overline{)2} \\ 14 \quad 7 \quad 2 \quad 11 \overline{)2} \\ 1 \quad 6 \quad 3 \quad 10 \quad 5 \overline{)2} \\ 1 \quad 2 \quad 1 \quad 4 \quad 2 \overline{)2} \\ 1 \quad 2 \quad 1 \quad 2 \quad 1 \\ \hline 0 \end{array}$$

95D=1011111B

вісімкову

$$\begin{array}{r} 95 \overline{)8} \\ 8 \quad 11 \overline{)8} \\ 15 \quad 8 \quad 1 \\ \underline{8} \quad 3 \\ 7 \end{array}$$

95D=137Q

OCT ↔ BIN:

1	3	7	Q
001	011	111	B

(тріади)

шістнадцяткову

$$\begin{array}{r} 95 \overline{)16} \\ 80 \quad 5 \\ \underline{15} \end{array}$$

95D=5FH

HEX ↔ BIN:

5	F	H
0101	1111	B

(тетради)

Для переведення цілого двійкового, вісімкового та шістнадцяткового числа у десяткове число необхідно послідовно множити проміжні результати на відповідну основу з додаванням значення наступного розряду. Цей процес продовжується до опрацювання всіх розрядів. Починати множення необхідно зі старшого розряду.

Приклад переведення двійкового 1011111B, вісімкового 137Q та шістнадцяткового 5FH чисел у десяткову систему числення:

1011111B	137Q	5FH
1 - ст. розряд	1 - ст. розряд	5 - ст. розряд
$1 \times 2 + 0 = 2$	$1 \times 8 + 3 = 11$	$5 \times 16 + 15 = 95D$
$2 \times 2 + 1 = 5$	$11 \times 8 + 7 = 95D$	
$5 \times 2 + 1 = 11$		
$11 \times 2 + 1 = 23$		
$23 \times 2 + 1 = 47$		
$47 \times 2 + 1 = 95D$		
	<i>Двійково-десяткова система:</i>	
	9 5 D	
	1001 0101 B-D	

5.2 Базові логічні операції та логічні елементи АБО, І, НЕ

Математичним апаратом аналізу та синтезу цифрових систем слугує *алгебра логіки (булева алгебра)*, яка вивчає зв'язок між логічними змінними, що приймають тільки значення 0 та 1.

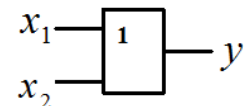
Базовими логічними операціями є: *логічне додавання (диз'юнкція) АБО*, *логічне множення (кон'юнкція) І*, *логічне заперечення (інверсія) НЕ*.

$$\text{Логічне додавання АБО: } y = x_1 + x_2 = x_1 \vee x_2 = \begin{cases} 0 & \text{при } x_1 = x_2 = 0 \\ 1 & \text{в інших випадках} \end{cases}$$

У вигляді таблиці відповідності:

x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	1

Позначення логічного елемента (диз'юнктора), який реалізує логічну операцію АБО:



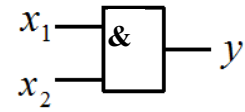
Логічна операція АБО читається так: x_1 або x_2 .

$$\text{Логічне множення І: } y = x_1 \cdot x_2 = x_1 \wedge x_2 = x_1 x_2 = \begin{cases} 1 & \text{при } x_1 = x_2 = 1 \\ 0 & \text{в інших випадках} \end{cases}$$

У вигляді таблиці відповідності:

x_1	x_2	y
0	0	0
0	1	0
1	0	0
1	1	1

Позначення логічного елемента (кон'юнктора), який реалізує логічну операцію І:



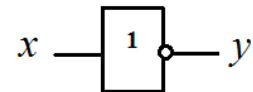
Логічна операція І читається так: x_1 і x_2 .

Логічне заперечення НЕ: $y = \bar{x} = \begin{cases} 1 & \text{при } x = 0 \\ 0 & \text{при } x = 1 \end{cases}$

У вигляді таблиці відповідності:

x	y
0	1
1	0

Позначення логічного елемента (інвертора), який реалізує логічну операцію НЕ:



Логічна операція НЕ читається так: не x .

5.3 Аксиоми та закони алгебри логіки

Аксиоми: $0+0=0$; $0 \cdot 1=0$; $1 \cdot 0=0$; $1+0=1$; $0+1=1$; $1 \cdot 1=1$; $1+1=1$; $x \cdot 0=0$; $0 \cdot x=0$; $x+0=x$; $0+x=x$; $x \cdot 1=x$; $1 \cdot x=x$; $x+1=1$; $1+x=1$.

Закони: Закон тавтології (повторення):

$$x+x=x; \quad x \cdot x=x$$

Переставний (комутативний) закон:

$$x_1+x_2=x_2+x_1; \quad x_1 \cdot x_2=x_2 \cdot x_1$$

Сполучний (асоціативний) закон:

$$(x_1+x_2)+x_3=x_1+(x_2+x_3)=x_1+x_2+x_3; \quad (x_1 \cdot x_2) \cdot x_3=x_1 \cdot (x_2 \cdot x_3)=x_1 \cdot x_2 \cdot x_3$$

Розподільний (дистрибутивний) закон:

$$x_1 \cdot (x_2+x_3)=x_1 \cdot x_2+x_1 \cdot x_3; \quad x_1+x_2 \cdot x_3=(x_1+x_2) \cdot (x_1+x_3)$$

Закон поглинання:

$$x_1+x_1 \cdot x_2=x_1; \quad x_1 \cdot (x_1+x_2)=x_1$$

Закон склеювання:

$$x+\bar{x}=1; \dots x \cdot \bar{x}=0$$

Закон подвійного заперечення:

$$\overline{\overline{x}} = x$$

Закон деортогоналізації:

$$x_1 + \overline{x_1} \cdot x_2 = x_1 + x_2; \quad x_1 \cdot (\overline{x_1} + x_2) = x_1 \cdot x_2$$

Закон заперечення (правило де Моргана):

$$\overline{x_1 + x_2} = \overline{x_1} \cdot \overline{x_2}; \quad \overline{x_1 \cdot x_2} = \overline{x_1} + \overline{x_2}$$

Закон про додатковий член:

$$x_1 \cdot x_2 + \overline{x_1} \cdot x_3 = x_1 \cdot x_2 + \overline{x_1} \cdot x_3 + x_2 \cdot x_3$$

Зазначені закони використовуються для мінімізації логічних функцій.

5.4 Додаткові логічні операції та логічні функції

До додаткових логічних операцій відносяться: *інверсія логічного додавання АБО-НЕ (стрілка Пірса)*, *інверсія логічного множення І-НЕ (штрих Шеффера)*, *СУМА ЗА МОДУЛЕМ 2 (що виключає АБО; нерівнозначність)*, *ЕКВІВАЛЕНЦІЯ (рівнозначність; інверсія СУМИ ЗА МОДУЛЕМ 2; логічна операція порівняння)*.

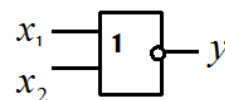
Інверсія логічного додавання АБО-НЕ (стрілка Пірса):

$$y = x_1 \downarrow x_2 = x_1 + x_2 = x_1 \vee x_2 = \overline{x_1} \cdot \overline{x_2}$$

У вигляді таблиці відповідності:

x_1	x_2	y
0	0	1
0	1	0
1	0	0
1	1	0

Позначення логічного елемента, який реалізує логічну операцію АБО-НЕ:



Логічна операція АБО-НЕ читається так: ні x_1 , ні x_2 .

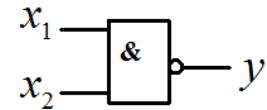
Інверсія логічного множення І-НЕ (штрих Шеффера):

$$y = x_1 | x_2 = \overline{x_1 \cdot x_2} = \overline{x_1} \wedge \overline{x_2} = \overline{x_1 x_2} = \overline{x_1} + \overline{x_2}$$

У вигляді таблиці відповідності:

x_1	x_2	y
0	0	1
0	1	1
1	0	1
1	1	0

Позначення логічного елемента, який реалізує логічну операцію І-НЕ:



Логічна операція І-НЕ читається так: не x_1 , або не x_2 .

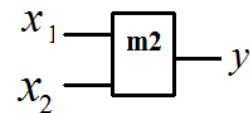
СУМА ЗА МОДУЛЕМ 2 (що виключає АБО; нерівнозначність):

$$y = x_1 \oplus x_2 = (x_1 \vee x_2) \cdot \overline{x_1 \cdot x_2} = x_1 \cdot \overline{x_2} \vee \overline{x_1} \cdot x_2$$

У вигляді таблиці відповідності:

x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	0

Позначення логічного елемента, який реалізує логічну операцію СУМА ЗА МОДУЛЕМ 2:



Логічна операція СУМА ЗА МОДУЛЕМ 2 читається так: або x_1 , або x_2 .

Логічна операція СУМА ЗА МОДУЛЕМ 2 реалізується на логічних елементах (рис. 5.1):

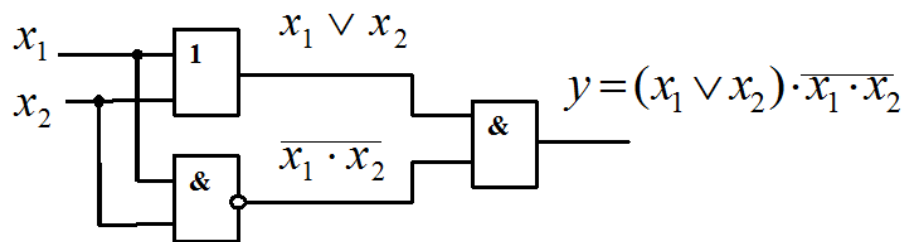


Рисунок 5.1 – Схема реалізації логічної операції СУМА ЗА МОДУЛЕМ 2

ЕКВІВАЛЕНЦІЯ (рівнозначність; інверсія СУМИ ЗА МОДУЛЕМ 2; логічна операція порівняння, логічний компаратор):

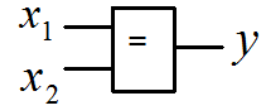
$$y = x_1 \sim x_2 = \overline{x_1 \oplus x_2} = x_1 \cdot x_2 \vee \overline{x_1} \cdot \overline{x_2}$$

Логічна операція ЕКВІВАЛЕНЦІЯ читається так: x_1 як x_2 .

У вигляді таблиці відповідності:

x_1	x_2	y
0	0	1
0	1	0
1	0	0
1	1	1

Позначення логічного елемента, який реалізує логічну операцію ЕКВІВАЛЕНЦІЯ:



Реалізація операції ЕКВІВАЛЕНЦІЯ на логічних елементах (рис. 5.2):

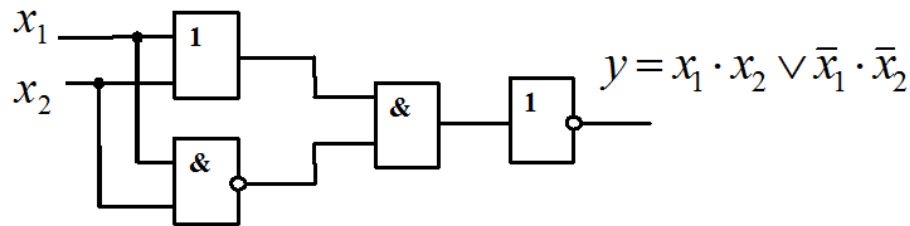


Рисунок 5.2 – Схема реалізації логічної операції ЕКВІВАЛЕНЦІЯ

На виході y логічної схеми ЕКВІВАЛЕНЦІЯ буде «1» тоді, коли на входах схеми будуть однакові змінні, тобто або $x_1 = x_2 = 0$, або $x_1 = x_2 = 1$.

5.5 Дешифратори

Дешифратор – електронна схема, в якій кожній з комбінацій вхідних сигналів відповідає сигнал тільки на одному обраному виході. Дешифратор призначений для переводу двійкового коду, що поступає на його входи, в унітарний код.

На рисунку 5.3 зображені структурна схема *синхронного лінійного дешифратора* на чотири виходи, таблиця функціонування та позначення дешифратора.

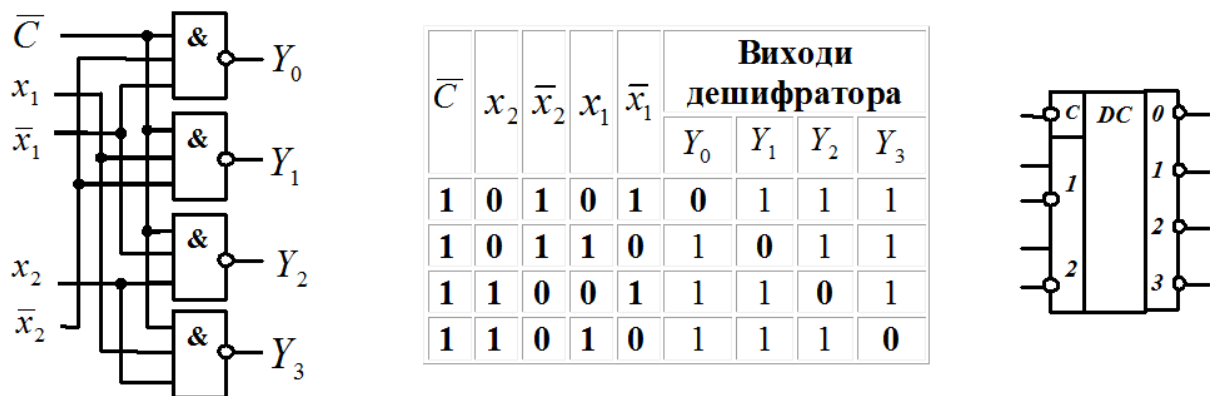


Рисунок 5.3 – Синхронний лінійний дешифратор на чотири виходи

Для побудови багатоканального дешифратора використовують каскадне з'єднання лінійних дешифраторів. На рисунку 5.4 зображена структурна схема двокаскадного лінійного дешифратора на 16 виходів, а таблиця його функціонування – в таблиці 5.1.

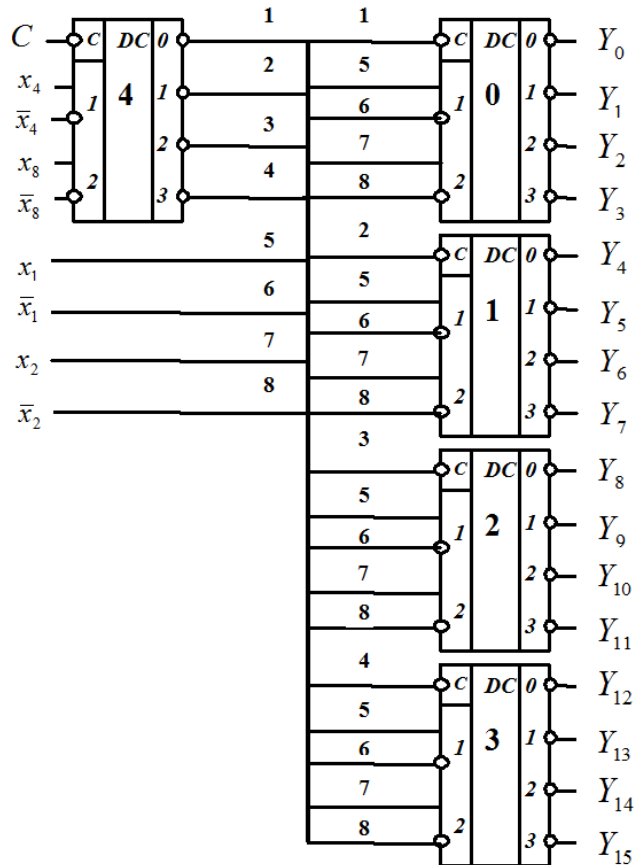


Рисунок 5.4 – Двокаскадний синхронний лінійний дешифратор на 16 виходів

Виходи першого каскаду $DC4$ з'єднані зі входами синхронізації дешифраторів другого каскаду $DC0$, $DC1$, $DC2$, $DC3$. У $DC4$ в залежності від комбінації двох старших розрядів x_8 , x_4 вибирається один відповідний вихід. З нього сигнал «0» поступає на синхровхід C лише одного дешифратора другого каскаду та дозволяє його роботу. Відповідний дешифратор другого каскаду за сигналами двох молодших розрядів x_2 , x_1 здійснює вибір одного з виходів $Y_0 \dots Y_{15}$ дешифратора.

Наприклад, комбінації вхідних сигналів $x_8 \bar{x}_4 x_2 \bar{x}_1 = 1010$ відповідає вихід Y_{10} , що позначено в таблиці функціонування.

Таблиця 5.1 – Таблиця функціонування дешифратора

C	x_8	\bar{x}_8	x_4	\bar{x}_4	x_2	\bar{x}_2	x_1	\bar{x}_1	Виходи дешифратора																			
									Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7	Y_8	Y_9	Y_{10}	Y_{11}	Y_{12}	Y_{13}	Y_{14}	Y_{15}				
0	0	1	0	1	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	0	1	0	1	1	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	1	0	0	1	1	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	1	0	1	0	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	1	0	1	0	1	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
0	1	0	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
0	1	0	0	1	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
0	1	0	0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
0	1	0	0	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	1	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
0	1	0	1	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1
0	1	0	1	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

5.6 Мультиплектори

Мультиплектор – це цифровий пристрій, призначений для передачі сигналу з одного із декількох входів на один вихід під впливом керуючих адресних сигналів. Мультиплектор має 2^n інформаційних входів $x_0, x_1, x_2 \dots, x_n$ адресних входів A_0, A_1, A_2 та один вихід Q .

Рівняння мультиплектора на чотири входи має такий вигляд:

$$Q = \bar{A}_1 \bar{A}_0 x_0 \vee \bar{A}_1 A_0 x_1 \vee A_1 \bar{A}_0 x_2 \vee A_1 A_0 x_3 .$$

На рисунку 5.5 зображені структурна схема мультиплектора на чотири входи, таблиця функціонування та позначення мультиплектора.

Мультиплектор працює таким чином. При подачі, наприклад, сигналів «0» на адресні входи A_0, A_1 інверторів НЕ на їхніх виходах з’являться сигнали «1», які поступають на другий та третій входи першого логічного елемента І, завдяки чому дозволяється передача вхідного сигналу x_0 через елементи І та

АБО на вихід Q . Аналогічно мультиплексор працює при інших комбінаціях адресних сигналів.

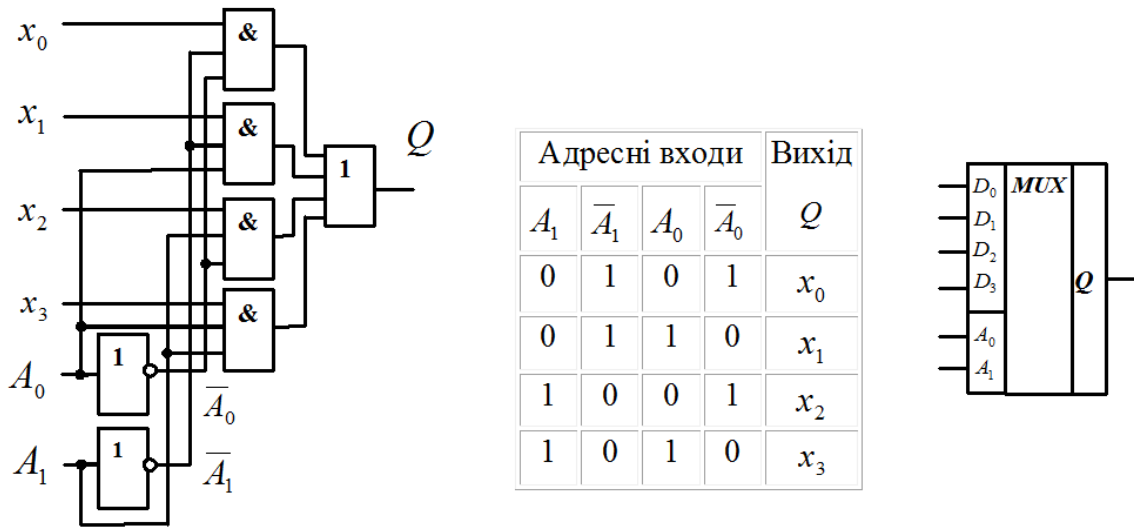


Рисунок 5.5 – Мультиплексор на чотири входи

Найпростішим є мультиплексор на два входи, структурна схема та рівняння якого наведені на рисунку 5.6. Він реалізований на логічних елементах НЕ, І, АБО.

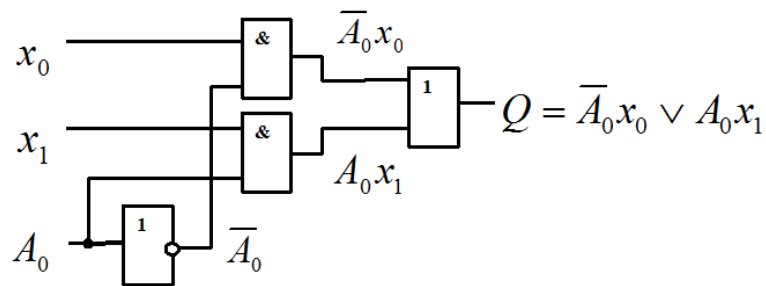


Рисунок 5.6 – Мультиплексор на два входи

Для побудови мультиплексорів з великою кількістю входів використовують каскадне з'єднання мультиплексорів. На рисунку 5.7 зображена структурна схема так званого мультиплексорного дерева на 16 входів.

Наприклад, для підключення інформаційного входу x_9 до виходу мультиплексора необхідно на його адресні входи подати слово $A_8 \bar{A}_4 \bar{A}_2 A_1 = 1001$, тобто на адресні входи мультиплексорів першого каскаду подати сигнали $\bar{A}_2 A_1 = 01$, а на адресні входи мультиплексорів другого каскаду

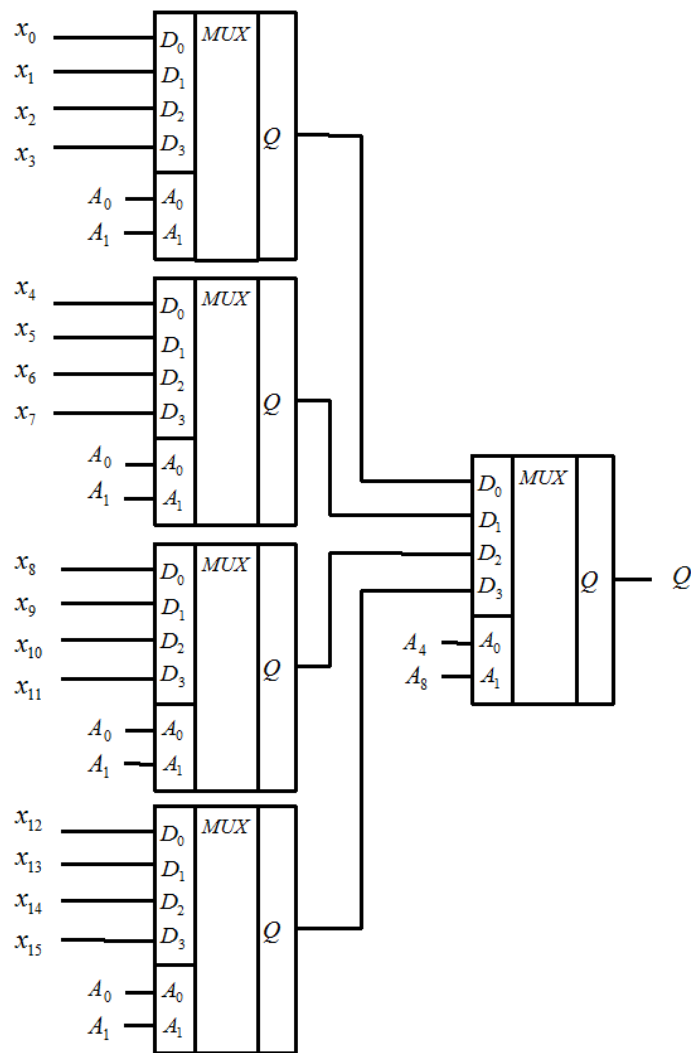


Рисунок 5.7 – Мультиплексорне дерево на 16 входів.

подати сигнали $A_8 \overline{A_4} = 10$. При цьому мультиплексор другого каскаду по інформаційному входу D_2 підключає третій мультиплексор першого каскаду до виходу, на якому з'явиться інформаційний сигнал, що відповідає x_9 .

5.7 Двійкові суматори

Двійковим суматором називають комбінаційний логічний пристрій, призначений для виконання операції арифметичного додавання чисел, поданих у вигляді двійкових кодів. За числом виводів розрізняють півсуматори, одна та багаторозрядні суматори.

Півсуматор формує із двох вхідних сигналів сигнал суми та сигнал перенесення у старший розряд. Однорозрядний суматор формує із двох вхідних сигналів та сигналу перенесення із молодшого розряду сигнал суми та сигнал перенесення у старший розряд. Багаторозрядний суматор призначений для додавання двох багаторозрядних кодів.

Півсуматор. Результат додавання двох однорозрядних двійкових кодів x_1 та x_0 наведено в таблиці істинності (рис. 5.8, а), а реалізацію півсуматора на логічних елементах І та СУМА ЗА МОДУЛЕМ 2 представлено на рисунку 5.8, б.

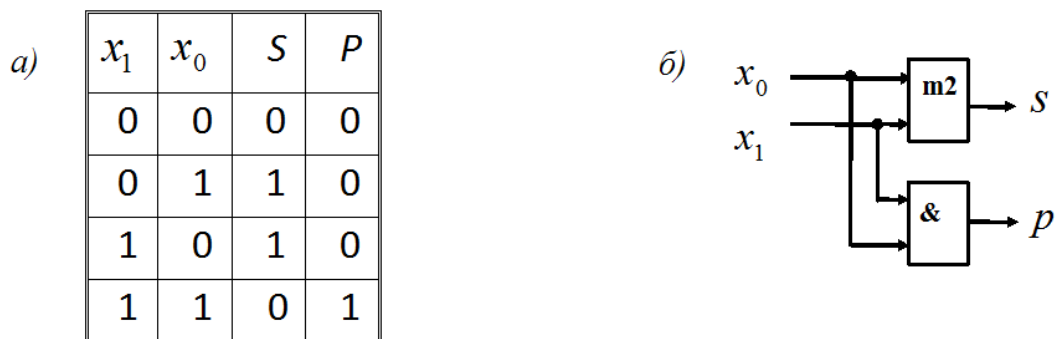


Рисунок 5.8 – Півсуматор: а – таблиця істинності; б – логічна схема

5.8 Синтез комбінаційних логічних схем на логічних елементах

Система простих логічних операцій, на основі яких можна отримати складну функцію алгебри логіки (ФАЛ), називається базисом.

Зазвичай використовують такі базиси:

- 1) $y = \bar{x}$ – НЕ; $y = x_1 x_2$ – І; $y = x_1 \vee x_2$ – АБО
- 2) $y = \overline{x_1 x_2}$ – І-НЕ
- 3) $y = \overline{x_1 \vee x_2}$ – АБО-НЕ.

Логічна функція може бути записана аналітично або у вигляді суми множення змінних, або у вигляді множення сум змінних.

Запис ФАЛ у вигляді суми множення змінних називають диз'юнктивною нормальною формою (ДНФ).

Запис ФАЛ у вигляді множення сум змінних називають *кон'юнктивною нормальною формою* (КНФ).

Запис у *досконалій диз'юнктивній нормальній формі* (ДДНФ) представляє собою диз'юнкцію декількох простих кон'юнкцій, кожна з яких містить всі змінні. Приклад: $y = x_1 x_2 x_3 \vee \bar{x}_1 \bar{x}_2 x_3 \vee \bar{x}_1 x_2 \bar{x}_3$. Ці кон'юнкції, при яких ФАЛ істинна, називають *конституентами одиниці* (мінтермами).

Запис у *досконалій кон'юнктивній нормальній формі* (ДКНФ) представляє собою кон'юнкцію декількох простих диз'юнкцій, кожна з яких містить всі змінні. Приклад: $y = (x_1 \vee x_2 \vee x_3)(x_1 \vee \bar{x}_2 \vee x_3)(\bar{x}_1 \vee x_2 \vee \bar{x}_3)$. Ці диз'юнкції, при яких ФАЛ істинна, називають *конституентами нуля* (макстермами).

Комбінаційна логічна схема (КЛС) – це пристрій, стан вихідних сигналів якого однозначно визначається комбінацією вхідних сигналів. Це схеми без зворотного зв'язку та без пам'яті.

Синтезувати КЛС – означає спроектувати логічний пристрій мінімальної складності в заданому базисі.

Синтез КЛС включає такі операції:

1. Завдання логічного алгоритму функціонування пристрою та базису.

Алгоритм задається за допомогою ФАЛ, таблиці істинності або словами.

2. Перехід від заданого алгоритму до рівнянь у ДДНФ або ДКНФ.

3. Мінімізація логічних функцій.

4. Перехід від мінімізованих рівнянь до рівнянь у заданому базисі.

5. Графічна або практична реалізація пристрою.

Приклад синтезу КЛС. Необхідно синтезувати КЛС, алгоритм функціонування якого заданий словами: Відповідна таблиця істинності:

На виході комбінаційної логічної схеми з'являється «1» тоді, коли з трьох вхідних змінних не менш як дві вхідні змінні мають значення «1».

Базисом, в якому буде побудована синтезована КЛС, обрано базис І-НЕ.

x_1	x_2	x_3	y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

2. Відповідна істинна функція алгебри логіки у ДДНФ має такий вигляд:

$$y = \bar{x}_1 x_2 x_3 \vee x_1 \bar{x}_2 x_3 \vee x_1 x_2 \bar{x}_3 \vee x_1 x_2 x_3.$$

3. Для мінімізації логічних функцій застосовуються такі методи:

3.1 *Метод безпосередніх перетворень* на основі законів алгебри логіки.

Перетворимо задану логічну функцію з урахуванням правил склеювання та деортогоналізації:

$$\begin{aligned} y &= \bar{x}_1 x_2 x_3 \vee x_1 \bar{x}_2 x_3 \vee x_1 x_2 \bar{x}_3 \vee x_1 x_2 x_3 = \\ &= \bar{x}_1 x_2 x_3 \vee x_1 \bar{x}_2 x_3 \vee x_1 x_2 (\bar{x}_3 \vee x_3) = x_1 x_2 x_3 \vee x_1 (\bar{x}_2 x_3 \vee x_2) = \\ &= \bar{x}_1 x_2 x_3 \vee x_1 (x_3 \vee x_2) = \bar{x}_1 x_2 x_3 \vee x_1 x_3 \vee x_1 x_2 = \\ &= x_3 (\bar{x}_1 x_2 \vee x_1) \vee x_1 x_2 = x_3 x_2 \vee x_3 x_1 \vee x_1 x_2. \end{aligned}$$

3.2 *Метод Квайна – Мак-Класки* застосовується коли кількість змінних більше 5-6. Ефективно працює з використанням комп'ютера.

3.3 *Метод карт Карно* застосовується при кількості змінних не більше 5-6. Простий та наочний. Карти Карно являють собою графічне зображення всіх можливих комбінацій змінних, тобто число клітин 2^n . У клітинах всі прості кон'юнкції розташовуються так, що кожна з них відрізняється від суміжних тільки однією змінною.

Карти Карно для двох, трьох та чотирьох змінних мають такий вигляд:

		$\bar{x}_1 \bar{x}_2$	$\bar{x}_1 x_2$	$x_1 x_2$	$x_1 \bar{x}_2$
\bar{x}_2	$\bar{x}_1 \bar{x}_2$	$x_1 \bar{x}_2$			
x_2	$\bar{x}_1 x_2$	$x_1 x_2$			

		$\bar{x}_1 \bar{x}_2$	$\bar{x}_1 x_2$	$x_1 x_2$	$x_1 \bar{x}_2$
\bar{x}_3	$\bar{x}_1 \bar{x}_2 \bar{x}_3$	$\bar{x}_1 x_2 \bar{x}_3$	$x_1 x_2 \bar{x}_3$	$x_1 \bar{x}_2 \bar{x}_3$	
x_3	$\bar{x}_1 \bar{x}_2 x_3$	$\bar{x}_1 x_2 x_3$	$x_1 x_2 x_3$	$x_1 \bar{x}_2 x_3$	

		$\bar{x}_1 \bar{x}_2$	$\bar{x}_1 x_2$	$x_1 x_2$	$x_1 \bar{x}_2$
$\bar{x}_3 \bar{x}_4$	$\bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4$	$\bar{x}_1 x_2 \bar{x}_3 \bar{x}_4$	$x_1 x_2 \bar{x}_3 \bar{x}_4$	$x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4$	
$\bar{x}_3 x_4$	$\bar{x}_1 \bar{x}_2 \bar{x}_3 x_4$	$\bar{x}_1 x_2 \bar{x}_3 x_4$	$x_1 x_2 \bar{x}_3 x_4$	$x_1 \bar{x}_2 \bar{x}_3 x_4$	
$x_3 x_4$	$\bar{x}_1 \bar{x}_2 x_3 x_4$	$\bar{x}_1 x_2 x_3 x_4$	$x_1 x_2 x_3 x_4$	$x_1 \bar{x}_2 x_3 x_4$	
$x_3 \bar{x}_4$	$\bar{x}_1 \bar{x}_2 x_3 \bar{x}_4$	$\bar{x}_1 x_2 x_3 \bar{x}_4$	$x_1 x_2 x_3 \bar{x}_4$	$x_1 \bar{x}_2 x_3 \bar{x}_4$	

Під час заповнення карти Карно мінтерми функції, що мінімізується, у відповідній клітині карти записують як «1», а в інших клітинах записують «0».

Для функції, що розглядається, карта Карно після запису «1» та «0» у відповідні клітини має такий вигляд:

	$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$	
\bar{x}_3	0	0	1	0	3
x_3	0	1	1	1	
		1		2	

Потім проводять прямокутні контури (1, 2, 3) за такими правилами:

- всередині прямокутника повинні бути лише «1»;
- кількість клітин всередині контуру має бути одним із цих чисел: 1, 2, 4, 8, 16, 32;
- одні й ті ж клітини з «1» можуть входити до декількох контурів;
- при проведенні контурів нижній та верхній рядки, а також лівий та правий стовпчики вважаються відповідно суміжними;
- кількість контурів має бути якомога меншою, а самі контури – якомога більшими.

Щоб знайти мінімальну функцію записують суму кон'юнкцій в кожному контурі, а потім остаточно формують вираз функції:

- для контуру № 1: $\bar{x}_1x_2x_3 \vee x_1x_2x_3 = x_2x_3$,
- для контуру № 2: $x_1x_2x_3 \vee x_1\bar{x}_2x_3 = x_1x_3$,
- для контуру № 3: $x_1x_2\bar{x}_3 \vee x_1x_2x_3 = x_1x_2$,

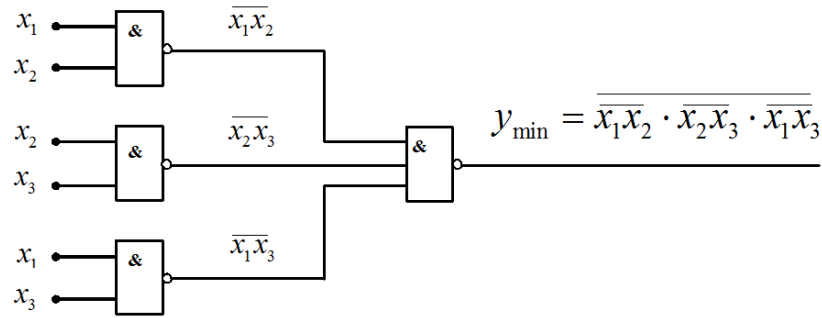
$$y_{\min} = x_1x_2 \vee x_2x_3 \vee x_1x_3.$$

4. Перехід від мінімізованого рівняння до рівняння в базисі І-НЕ здійснюється таким чином:

- необхідно двічі проінвертувати отримане рівняння;
- за правилом де Моргана розкрити праву частину рівняння.

У нашому випадку $y_{\min} = \overline{\overline{x_1x_2 \vee x_2x_3 \vee x_1x_3}} = \overline{\overline{x_1x_2} \cdot \overline{x_2x_3} \cdot \overline{x_1x_3}}$.

5. Реалізація комбінаційної логічної схеми в базисі І-НЕ:



5.9 Синтез комбінаційних логічних схем на базі мультиплексорів

За допомогою мультиплексорів можна реалізувати задану логічну функцію за її таблицею істинності. На адресні входи мультиплексора подаються вхідні змінні, а на інформаційні входи подають «1» або «0» згідно з таблицею істинності. Якщо з нульової адреси нарощувати її на одиницю, то це буде рівноцінно послідовному перегляду виходу таблиці істинності.

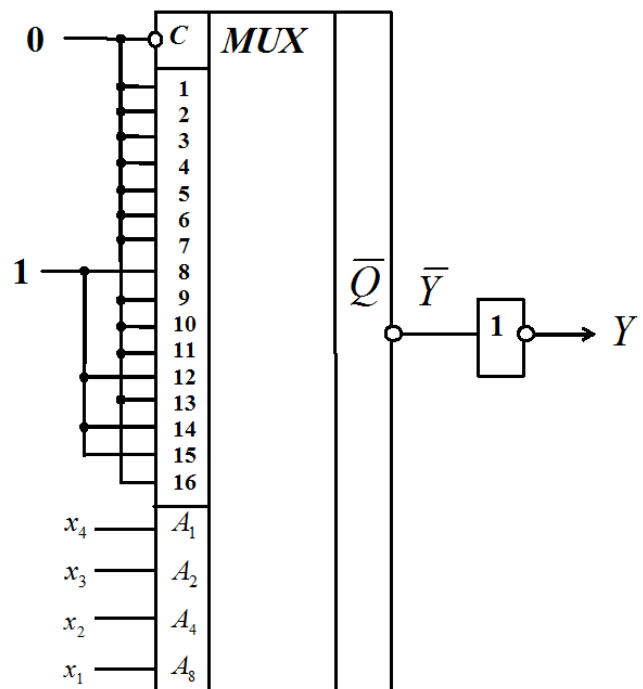
Приклад 1. Реалізувати на мультиплексорі так званий *мажоритарний елемент*, який описується логічною функцією

$$Y = x_1x_2x_3 \vee x_1x_2x_4 \vee x_1x_3x_4 \vee x_2x_3x_4.$$

Таблиця істинності:

x_1	x_2	x_3	x_4	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

Реалізація КЛС на мультиплексорі та елементі НЕ:



ЛЕКЦІЯ 6

ТРИГЕРИ. ДВІЙКОВІ ЛІЧИЛЬНИКИ. ПЕРЕТВОРЮВАЧІ СИГНАЛІВ. РЕГІСТРИ. ЗАПАМ'ЯТОВУЮЧІ ПРИСТРОЇ

6.1 Тригери

Електронні пристрої з двома стійкими станами, при яких зберігається двійкова інформація («0», «1») після закінчення дії вхідних керуючих сигналів, називаються *тригерами*.

За функціональними ознаками розрізняють тригери типів *RS*, *D*, *T*, *JK*, *R*, *S*, *E*, *MS* тощо.

За способом керування розділяють на *асинхронні* та *синхронні*.

В асинхронних тригерах перемикання з одного стану в інший здійснюється безпосередньо з подачею сигналів на інформаційні входи.

У синхронних тригерах перемикання здійснюється лише за наявності синхроімпульсу. Синхровходи бувають статичними та динамічними.

RS-тригери. На рисунку 6.1 наведені структурна схема, таблиця переходів до нового стану Q^{n+1} асинхронного RS-тригера на логічних елементах І-НЕ та його позначення.

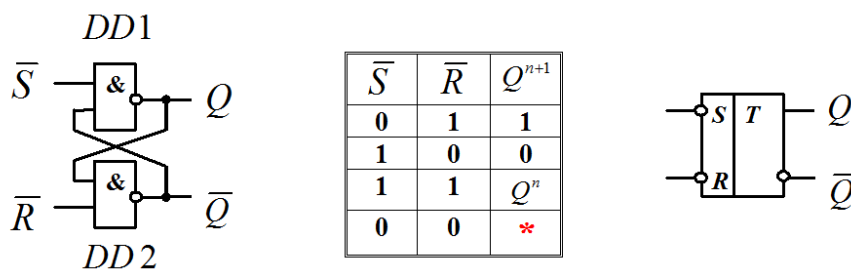


Рисунок 6.1 – Асинхронний RS-тригер

Схема має два виходи Q – прямий, \bar{Q} – інверсний. Стану логічної «1» відповідає $Q = 1$, $\bar{Q} = 0$, стану логічного «0» – навпаки. По інформаційному входу \bar{S} – set (установка) здійснюється установка тригера в «1», а по

інформаційному входу \bar{R} – reset (повернення у вихідний стан) здійснюється установка у вихідний стан логічного «0». Нехай спочатку $Q = 1$, $\bar{Q} = 0$. Якщо $\bar{S} = 0$, $\bar{R} = 1$, то незалежно від значення сигналу на другому вході елемента $DD1$ Q буде дорівнювати 1, а на обох входах елемента $DD2$ присутні логічні «1». Тобто у цьому випадку або підтверджується попередній одиничний стан тригера, або в цей стан тригер переводиться. При $\bar{S} = 1$, $\bar{R} = 0$ підтверджується попередній нульовий стан тригера, або в цей стан тригер переводиться. Значенням сигналів на входах $\bar{S} = \bar{R} = 1$ відповідає збереження тригером попереднього стану Q^n . При $\bar{S} = \bar{R} = 0$ на обох виходах з'являться «1», а після зняття цих сигналів тригер перейде у невизначений стан. Тому комбінація $\bar{S} = \bar{R} = 0$ є забороненою.

На рисунку 6.2 наведені структурна схема синхронного RS -тригера зі статичним керуванням на логічних елементах І-НЕ та його позначення. Схема має керуючий вхід (синхровхід) C – clock (годинник). Він підключений до входів елементів $DD1$, $DD2$ через додаткові елементи $DD3$, $DD4$. Перемикання в синхронному RS -тригері можливі лише при подачі на вхід C імпульсу синхронізації.

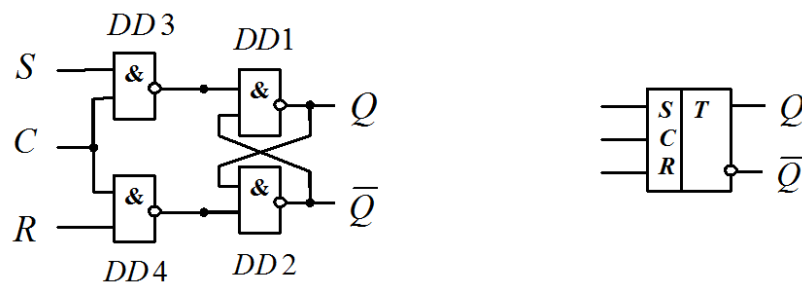


Рисунок 6.2 – Синхронний RS -тригер

D -тригери. Вони мають один інформаційний вхід. Стану логічної одиниці відповідає «1» на вході D тригера, а стану логічного нуля – «0» на його вході. На рисунку 6.3 зображені структурна схема асинхронного D -тригера на логічних елементах І-НЕ та НЕ, таблиця переходів та його позначення. Його назва D – delay (затримка) обумовлено властивістю зберігати стан тригера.

Вхід D підключений до входу елемента І-НЕ $DD2$ та через елемент НЕ $DD3$ – до входу елемента І-НЕ $DD1$.

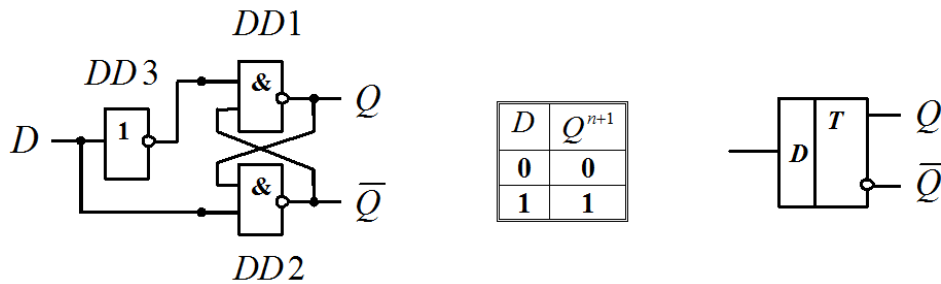


Рисунок 6.3 – Асинхронний D -тригер

На рисунку 6.4 наведені структурна схема *синхронного D -тригера* зі статичним керуванням на логічних елементах І-НЕ та його позначення. Схема має керуючий вхід (синхровхід) C . Він підключений до входів елементів $DD1$, $DD2$ через додаткові елементи $DD3$, $DD4$. Переключення в синхронному D -тригері можливі лише при подачі на вхід C імпульсу синхронізації «1».

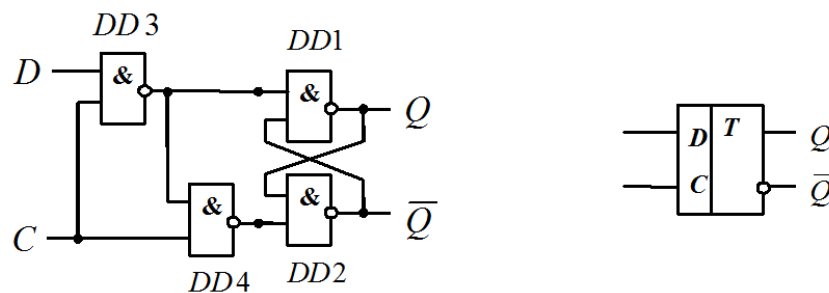


Рисунок 6.4 – Синхронний D -тригер

JK-тригери. Вони є універсальними тригерами. Назва JK -тригера обумовлена початком слів J – jerk (увімкнути) та K – kill (відімкнути). Їхня робота аналогічна роботі RS -тригера. При цьому роль входів S , R відіграють відповідно входи J , K , тобто $J \equiv S$, $K \equiv R$. Відмінність полягає в тому, що при комбінації $J = K = 1$ тригер здійснює інверсію попереднього стану.

Структурна схема *синхронного JK -тригера*, таблиця переходів та його позначення наведені на рисунку 6.5.

Відмінністю структурної схеми синхронного JK -тригера від структурної схеми синхронного RS -тригера є те, що у структурній схемі синхронного

JK-тригера застосовані лінії затримки *ЛЗ1*, *ЛЗ2* для забезпечення інверсії попереднього стану тригера та виключення збоїв у його роботі.

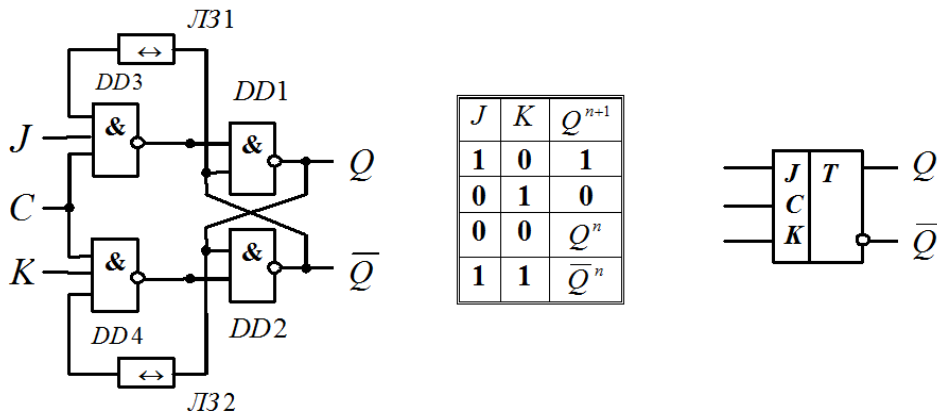


Рисунок 6.5 – Синхронний *JK*-тригер

На основі *JK*-тригера також можна реалізувати *синхронний RS-тригер* та *синхронний D-тригер*, що наведено на рисунку 6.6.



Рисунок 6.6 – Синхронні тригери на основі *JK*-тригера:

a – *RS*-тригер; *б* – *D*-тригер

***T*-тригери.** Особливістю *T*-тригера є його переключення у протилежний стан з приходом кожного чергового вхідного сигналу.

Назва *T*-тригера обумовлена початком слова *T* – toggle (перекидатися). Це тригер із рахунковим входом.

На рисунку 6.7 наведені таблиця переходів *T*-тригера та його позначення.



Рисунок 6.7 – *T*-тригер

Для реалізації *T*-тригера використовують інші типи тригерів, наприклад, *RS*-, *D*-, *JK*-тригери, що зображено на рисунку 6.8.

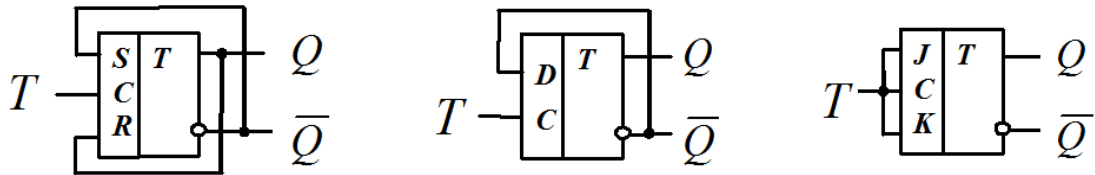


Рисунок 6.8 – T -тригери на базі відповідно RS -, D -, JK -тригерів

6.2 Двійкові лічильники

Двійковими лічильниками називають електронні пристрої для підрахунку та запам'ятовування кількості імпульсів. Лічильники розділяють на підсумовуючі, віднімальні та реверсивні. Основними показниками лічильників є коефіцієнт рахунку та швидкодія. Коефіцієнт рахунку визначає максимальне число імпульсів, яке може бути підрахованим лічильником. Двійкові лічильники виконуються на основі тригерів із рахунковим входом. Принцип дії підсумовуючого двійкового лічильника з безпосереднім зв'язком розглянемо на прикладі чотирьохрозрядного лічильника (рис. 6.9).

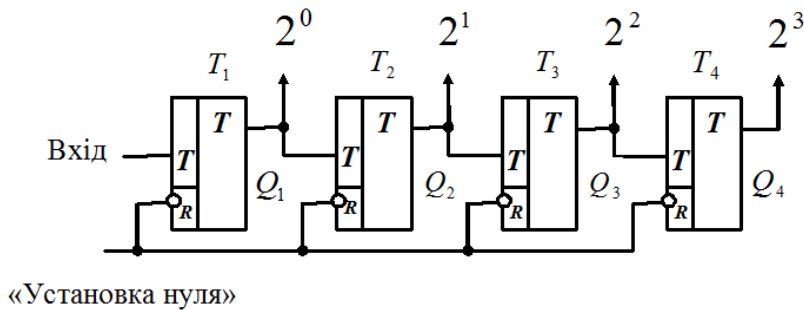


Рисунок 6.9 – Двійковий чотирьохрозрядний лічильник

Роботу лічильника ілюструють часові діаграми (рис. 6.10) та таблиця станів тригерів (табл. 6.1).

Перед підрахунком імпульсів усі розряди лічильника встановлюються у стан «0» подачею імпульсу на вхід «Установка нуля». Після закінчення першого рахункового імпульсу перший тригер T_1 переходить у стан $Q_1 = 1$. У лічильник записується число 0001. Після закінчення другого рахункового імпульсу перший тригер T_1 переходить у стан «0», а другий тригер T_2

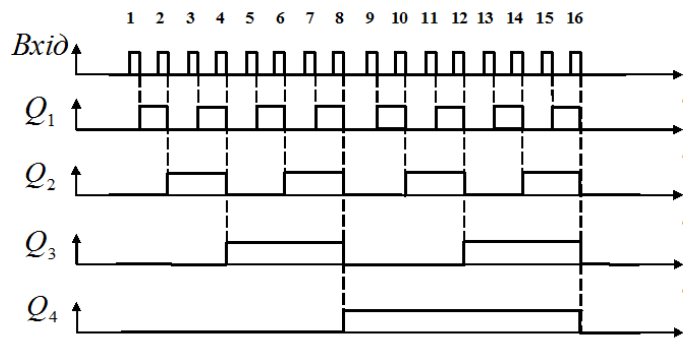


Рисунок 6.10 – Часові діаграми чотирьохрозрядного лічильника

перемикається у стан «1». У лічильник записується число 0010. Аналогічно здійснюється робота лічильника з приходом наступних імпульсів. 16-й імпульс переводить лічильник у вихідний стан. Таким чином, коефіцієнт рахунку цього лічильника дорівнює $K_{ліч} = 2^4 = 16$.

Таблиця 6.1 – Таблиця станів тригерів чотирьохрозрядного лічильника

Кількість вхідних імпульсів	Стан тригерів			
	T_4	T_3	T_2	T_1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

У разі побудови лічильника з парним коефіцієнтом рахунку $K_{ліч} \neq 2^N$ часто використовують спосіб примусової установки окремих розрядів у стан «1» під час рахунку. Примусова установка здійснюється введенням зворотних зв'язків зі старших розрядів у молодші, завдяки чому молодші розряди поза чергою перемикаються у стан «1». У якості прикладу розглянемо структурну схему лічильника з $K_{ліч} = 10$ (рис. 6.11).

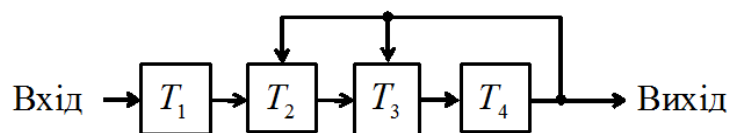


Рисунок 6.11 – Структура лічильника з коефіцієнтом рахунку $K_{ліч} = 10$

Схема містить чотири тригери та ланцюги зворотного зв'язку з виходу четвертого розряду на запис «1» у другий та третій розряди.

До приходу восьмого імпульсу лічильник працює як двійковий. З приходом восьмого рахункового імпульсу 1 з виходу тригера T_4 подаються сигнали у другий та третій розряди, тому у лічильник записалось число $8+6=14$. Дев'ятий імпульс установлює 1 у тригері T_1 , а 10-й рахунковий імпульс переводить лічильник у вихідний (нульовий) стан. Принцип рахунку пояснюється також таблицею станів тригерів (табл. 6.2).

Таблиця 6.2 – Таблиця станів тригерів лічильника з $K_{ліч} = 10$

Кількість вхідних імпульсів	Стан тригерів			
	T_4	T_3	T_2	T_1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8*	1	0(1)	0(1)	0
9	1	1	1	1
10	0	0	0	0

Двійкові лічильники використовують також як *дільники частоти*. При цьому вихідний сигнал знімають з останнього тригера, який виробляє імпульси з частотою $f_{вих} = f_{вх} / K_{ліч}$.

6.3 Цифро-аналогові перетворювачі

ЦАП – це перетворювач двійкового коду в аналоговий сигнал.

ЦАП на основі підсумовування напруг, пропорційних ваговим коефіцієнтам двійкового коду. У схемі використані RS-тригери та аналоговий суматор на операційному підсилювачу (рис. 6.12).

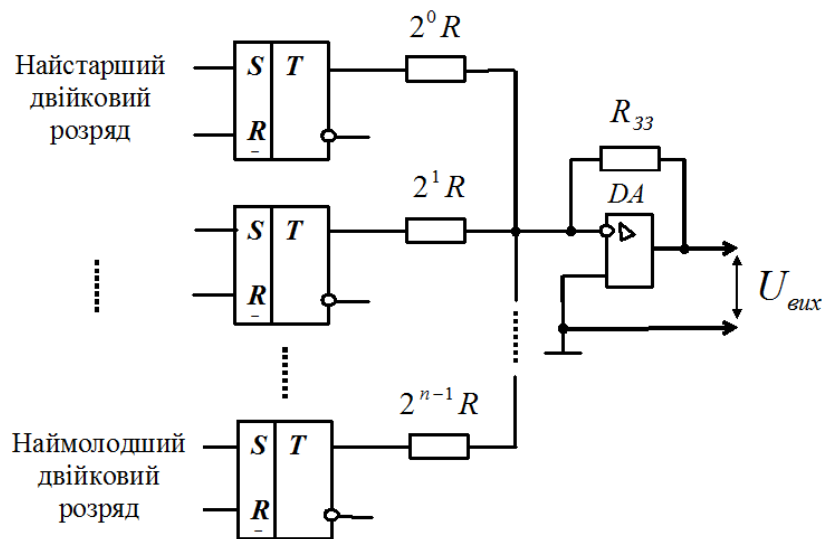


Рисунок 6.12 – Схема ЦАП на основі підсумовування напруг з вагою

Суміжні резистори R відрізняються один від іншого за величиною вдвічі, тому вихідний сигнал $U_{вих}$ аналогового інвертуючого суматора адекватний двійковому коду, який поступає на RS -тригери.

ЦАП на основі матриці резисторів $R-2R$ (рис. 6.13).

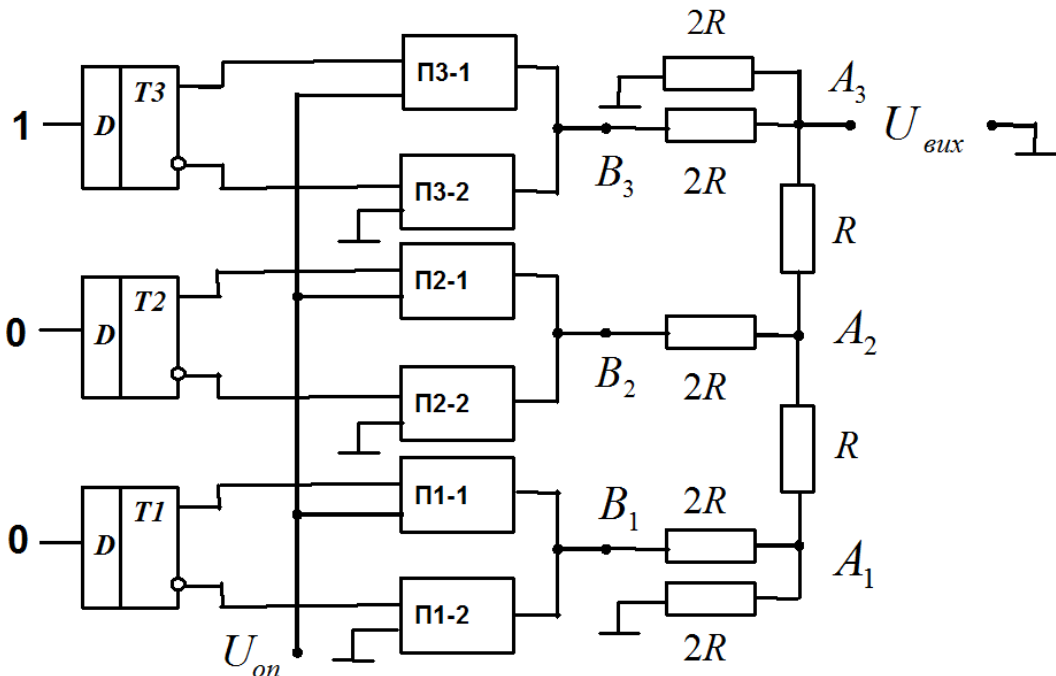


Рисунок 6.13 – Схема ЦАП на основі матриці резисторів $R-2R$

Структура ЦАП: лінійка D -тригерів $T1-T3$ для прийому паралельного двійкового коду (наприклад, 3-розрядного) та керування перемикачами П1-1...П3-2, а також резисторна матриця $R-2R$.

Особливість матриці $R-2R$. Якщо, наприклад, напруга між точкою B_3 та землею дорівнює U_{on} , а точки B_2 та B_1 мають нульовий потенціал, то напруга між точкою A_3 та землею буде $U_{on}/3$, між точкою A_2 та землею $U_{on}/6$, між точкою A_1 та землею $U_{on}/12$, тобто зменшується удвічі зверху вниз.

У залежності від двійкового коду спрацьовують відповідні перемикачі, і на виході ЦАП з'являється аналоговий сигнал $U_{вих}$.

6.4 Аналого-цифрові перетворювачі

Аналого-цифровий перетворювач (АЦП) призначений для перетворення аналогового сигналу у двійковий код. Він може бути побудований на основі ЦАП, генератора імпульсів, лічильника імпульсів і компаратора. Структурна схема АЦП представлена на рисунку 6.13.

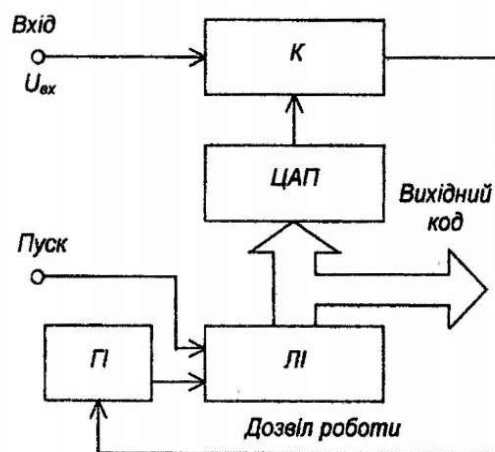


Рисунок 6.14 – Структурна схема АЦП на основі ЦАП

Напруга U_{ex} подається на один зі входів порогового елемента (аналогового компаратора K). Сигнал з виходу компаратора дозволяє роботу генератора імпульсів $Г$. Сигнал $Пуск$ установлює нульовий стан і дозволяє роботу лічильника імпульсів $ЛІ$, який починає заповнюватись імпульсами $Г$.

Двійковий код з виходу $ЛІ$ подається на цифрові входи $ЦАП$. У результаті з виходу $ЦАП$ ступінчасто зростаюча напруга надходить на другий вхід компаратора. Після досягнення цієї напругою значення U_{ex} компаратор перемикається і забороняє роботу генератора $ГІ$, при цьому на виході $ЛІ$ формується двійковий код, що відповідає значенню U_{ex} .

6.5 Регістри

Регістри призначені для запису інформації, представленої у вигляді двійкового коду, тимчасового її збереження та зчитування за зовнішньою командою.

Залежно від способу запису і видачі інформації регістри бувають:

- *паралельні* – запис інформації в яких виконується одночасно (паралельно) у всі розряди (рис. 6.15);
- *послідовні (регістри зсуву)* – запис інформації в яких виконується послідовно один за іншим двійкових розрядів в один вхід;
- *послідовно-паралельні (універсальні)* можуть працювати як послідовні, так і паралельні (залежно від сигналу на відповідному вході керування).

Структура паралельного регістру представлена на рисунку 6.15.

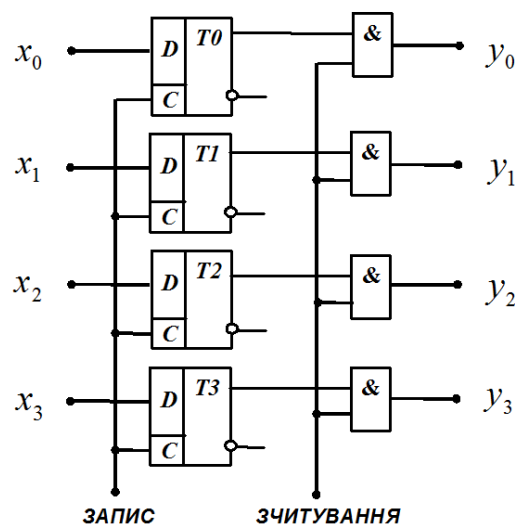


Рисунок 6.15 – Структурна схема паралельного регістру

Паралельний регістр працює у такий спосіб. За командою *ЗАПИС* (на синхровходи подається «1») здійснюється запис двійкового коду x_0, x_1, x_2, x_4 в лінійку *D*-тригерів, а за командою *ЗЧИТУВАННЯ* (на входи лінійки елементів *I* поступає логічна «1») двійковий код y_0, y_1, y_2, y_3 видається до інших електронних пристроїв.

6.6 Запам'ятовуючі пристрої

Запам'ятовуючим пристроєм (ЗП) називається пристрій, призначений для приймання, зберігання і видачі двійкової інформації.

За функціональним призначенням ЗП поділяється на дві групи: *зовнішні* та *внутрішні*.

Запам'ятовуючі пристрої використовують для зберігання *оперативної* та *постійної* інформації.

6.6.1 Оперативні запам'ятовуючі пристрої

Оперативні запам'ятовуючі пристрої (ОЗП) RAM (Random Access Memory) поділяються на *статичні* і *динамічні*.

У *статичних ОЗП SRAM (Static RAM)* як запам'ятовуючі елементи застосовуються тригери. ОЗП досить дорогі, але мають високу швидкодію.

Типовий варіант структурної побудови мікросхеми статичного ОЗП наведено на рисунку 6.16. Для прикладу вибрана порівняно нескладна мікросхема пам'яті з ємністю 256 біт.

Структурна схема вміщує виконані на єдиному кристалі силіцію матрицю накопичувача, дешифратори коду адреси рядків $A_0 - A_3$ (A_0 – молодший розряд) і стовпців $A_4 - A_7$, перемикачі вибору стовпців і пристрій введення-виведення (ПВВ).

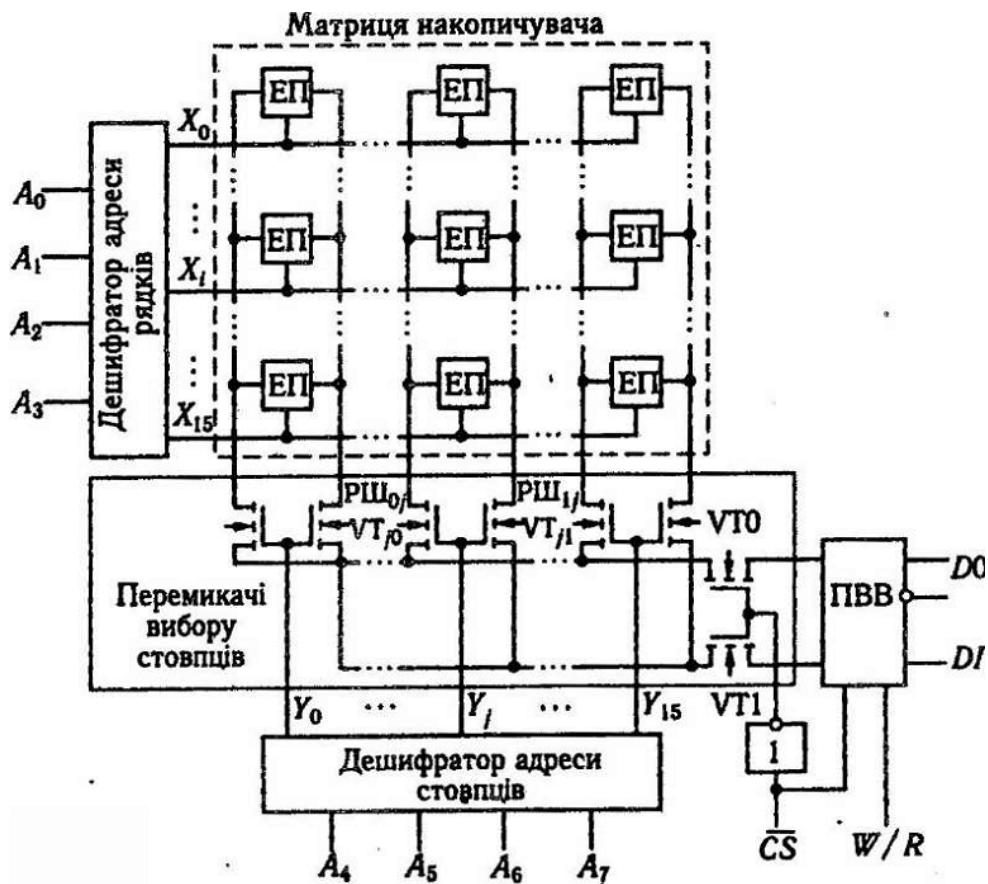


Рисунок 6.16 – Структура мікросхеми статичного ОЗП з 1-розрядною організацією

Сигнали CS – вибір мікросхеми і W/R – запис-зчитування. Матриця містить 256 елементів пам'яті (ЕП), розташованих на перетинаннях 16 рядків і 16 стовпців. Кожен ЕП – це статичний тригер.

У динамічних ОЗП DRAM (Dynamic RAM) дані зберігаються у вигляді зарядів ємностей МОН-структур. Такий запам'ятовуючий елемент значно простіший тригерного. Оскільки ємності між стоками і підкладкою транзистора з часом втрачають свої заряди, то зберігання даних вимагає їхньої періодичної регенерації.

Ємність динамічних ОЗП становить до 1 Гбіт. Динамічні ОЗП у 4-5 разів дешевші статичних і у стільки ж разів мають більшу інформаційну ємність.

Обидва ці типи пам'яті є енергозалежними – при вимкненні джерела живлення інформація безповоротно губиться.

Кеш-пам'ять (Cache - тайник) – це надоперативна (буферна) пам'ять для копіювання і зберігання блоків даних основного ОЗП типу *DRAM* у процесі виконання програм. Кеш-пам'ять побудована на швидкодіючих тригерах, але має невелику ємність порівняно з основним ОЗП. Кеш зберігає обмежене число даних і тегів. *Тег* містить інформацію про фізичну адресу і стан даних.

Часто прикладні програми мають циклічний характер і багаторазово використовують одні й ті самі дані, тому кеш зменшує кількість звернень до відносно повільної ОЗП, тобто нівелює затримки доступу процесора до ОЗП.

6.6.2 Постійні запам'ятовуючі пристрої

Є декілька типів ПЗП для зберігання постійної інформації.

ПЗП ROM (Read On Memory). У якості запам'ятовуючих елементів у них використовують перемички, діоди, біполярні і МОН-транзистори.

У масочні ПЗП *ROM(M)* інформація записується під час виготовлення мікросхеми за допомогою шаблону – маски (рис. 6.17).

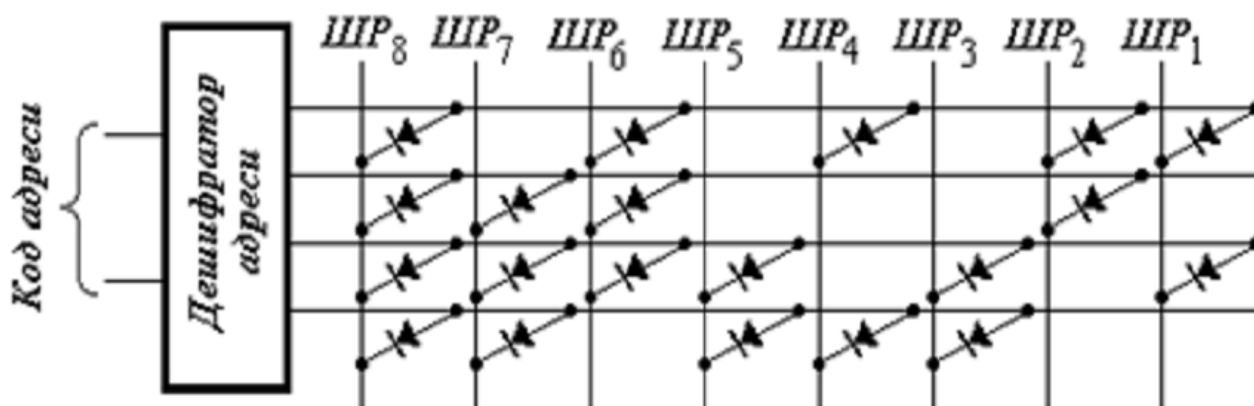


Рисунок 6.18 – Структура масочного ПЗП

Матриця діодного ПЗП являє собою координатну сітку з горизонтальних ліній вибірки слів і вертикальних ліній зчитування. Код слова визначається наявністю діода («1») або його відсутністю («0») у вузлах координатної сітки.

Мікросхеми *ПЗП PROM (Programmable ROM)* програмують одноразово видаленням перемичок у вузлах координатної сітки. При програмуванні за допомогою спеціального програмуючого пристрою видаляють тільки необхідні.

Перемички можуть являти собою або плавкі елементи, ввімкнені послідовно з діодом, або два зустрічно увімкнених діоди, один з яких пробивається при програмуванні.

ПЗП EPROM (Erasable Programmable Read Only Memory) дозволяють не тільки записувати в них інформацію, а й стирати її та замінювати на нову – вони є *репрограмовуваними*. У якості запам'ятовуючих елементів у них використано транзистори з так званим плаваючим затвором. Уведений в його провідну зону в результаті лавинного пробоя під дією імпульсу напруги у 20-25 В заряд зберігається дуже тривалий час. Стирання всієї інформації відбувається під дією ультрафіолетового опромінення, для чого корпус має спеціальне прозоре віконце. Число циклів перепрограмування становить лише 10-100.

Новітні *ПЗП EEPROM (Electrically Erasable Programmable Read Only Memory)* також є *репрограмовуваними*. Їхньою основою є МНОН-транзистори, що мають двошаровий підзатворний діелектрик. Під дією електричного поля достатньо високої напруженості носії заряду проходять через тонкий шар і скопичуються на межі розділу шарів. Після зняття поля заряд залишається на протязі десятків років.

Для стирання інформації подається напруга протилежної полярності. Інформацію можна стирати не зі всього кристалу а вибірково. Кількість циклів перепрограмування становить 10^4 - 10^6 разів.

Найвищим досягненням у розробці програмованих ЗП є створення *флеш-пам'яті*. Це тип довготривалої пам'яті, вміст якої можна видалити чи перепрограмувати електричним методом. Її запам'ятовуючі елементи подібні елементам пам'яті типу *EEPROM*, але в схемах флеш-пам'яті інформація може стиратися або вся одразу, або достатньо великими блоками за єдиним сигналом, миттєво (*flash – спалах*).

ЛЕКЦІЯ 7

МІКРОПРОЦЕСОРНІ ПРИСТРОЇ

7.1 Мікропроцесори

Мікропроцесор (МП) – електронний пристрій, який за програмою, записаною в пам'яті, здійснює приймання, обробку та видачу інформації і виконаний у вигляді зазвичай однієї великої інтегральної схеми (ВІС). МП поділяються на універсальні та спеціалізовані.

Етапи розвитку мікропроцесорів:

<i>Мікропроцесор</i>	<i>Розрядність</i>	<i>Рік розробки</i>	<i>Тактова частота</i>	<i>Кількість транзисторів</i>
i4004	4	1971	0,1 МГц	2,3 тис
i8080	8	1974	2 МГц	6 тис
i8086	16	1978	10 МГц	29 тис
I80386	32	1985	30 МГц	275 тис
I80486	32	1989	33 МГц	1,2 млн
ARM 6	32	1991	233 МГц	35 тис
Pentium	32	1993	120 МГц	3,1 млн
Pentium Pro	32	1995	170 МГц	5,5 млн
Pentium MMX	32	1997	250 МГц	4,5 млн
Pentium II	32	1998	350 МГц	7,5 млн
Pentium III	64	1999	550 МГц	20 млн
Pentium 4	64	2000	2 ГГц	24 млн
Itanium	64	2001	2,1 ГГц	25 млн
Celeron	64	2002	2,1 ГГц	26 млн
Pentium M, D	64	2003	2,4 ГГц	28 млн
Intel Core 2 Duo	64	2006	3 ГГц	410 млн
Apple 7	64	2013	1,3 ГГц	920 млн
Intel Core i9	64	2017	4,3 ГГц	1,1 млрд

Першим 8-розрядним мікропроцесором був i8080 з фіксованою системою команд, який декілька десятиліть був надзвичайно популярним через свою простоту та надійність, маючи одночасно достатньо високі характеристики.

Принцип функціонування мікропроцесорів розглянемо, як базовий приклад, саме на основі i8080, структура якого наведена на рисунку 7.1.

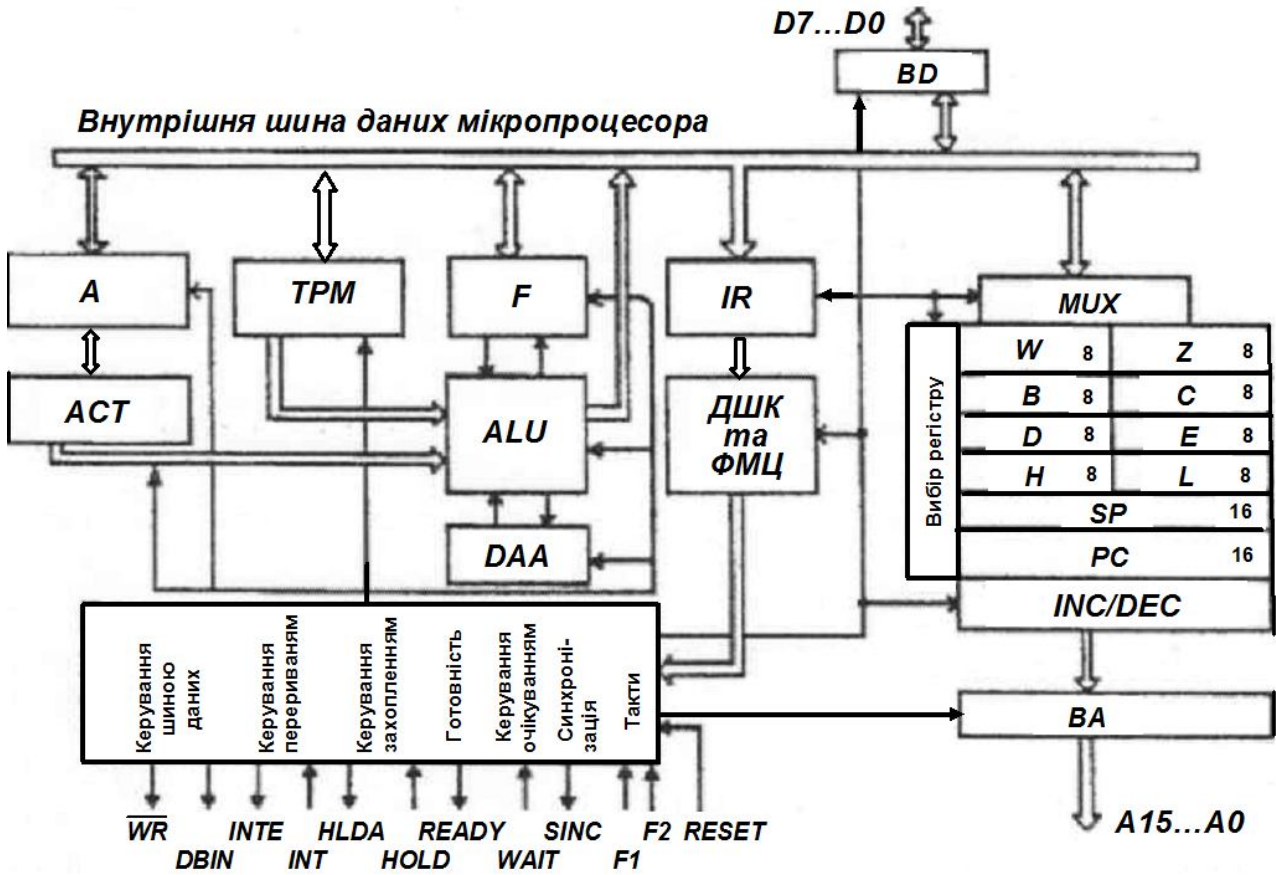


Рисунок 7.1 – Структурна схема мікропроцесора i8080

Структурна схема містить: внутрішню 8-розрядну шину даних МП; 16-розрядну шину адреси ША $A15...A0$; 8-розрядну шину даних ШД $D7...D0$; арифметико-логічний пристрій ALU (Arithmetic-Logic Unit); блок реєстрів, до складу яких входять: 16-розрядний реєстр адреси команди або програмний лічильник PC (Program Counter), 16-розрядний покажчик стека SP (Stack Pointer), 8-розрядні допоміжні реєстри тимчасового збереження W , Z , реєстр адреси і схема інкременту-декременту адреси INC/DEC (Increment/Decrement), шість 8-розрядних реєстрів загального призначення (РЗП) B , C , D , E , H , L , які можуть використовуватися і як три 16-розрядних реєстри (реєстрової пари) BC , DE , HL (назва реєстрової пари визначається назвою першого реєстра, в якому зберігається старший байт 16-розрядного числа); схему вибору реєстру; реєстр-акумулятор A (Accumulator); реєстр команд IR (Instruction Register);

мультиплексор (*MUX*); регістр прапорців *F* (*Flags*); допоміжний акумулятор *ACT*; допоміжний регістр *TRM*; дешифратор команд та формувач машинних циклів *ДШК* та *ФМЦ*; схему десяткової корекції *DA* (*Decimal Adjust*); буфер адреси *BA*; буфер даних *BD*; блок керування з 12-розрядною шиною керування ШК.

Шина адреси забезпечує пряму адресацію зовнішньої пам'яті обсягом до 2^{16} байт = 65536 байт = 64 Кбайт. Мікропроцесор може обслуговувати 256 пристроїв введення та 256 пристроїв виведення.

Призначення вузлів мікропроцесора:

Арифметико-логічний пристрій ALU – це комбінаційна схема на основі суматора і логічних елементів, яка забезпечує виконання всіх основних операцій з обробки даних.

Пристрій керування відповідно до дешифрованих кодів команд та зовнішніх керуючих сигналів, а також імпульсів синхронізації формує керуючі сигнали для всіх блоків структурної схеми МП та керує обміном інформацією між МП, пам'яттю та пристроями введення-виведення.

Регістр команд IR зберігає код команди впродовж усього часу її виконання. Цей код розшифровується *дешифратором команд та формувачем машинних циклів ДШК та ФМЦ*, який генерує відповідні мікропрограми формування машинних циклів для блока керування згідно з дешифрованим кодом команди.

Акумулятор А є 8-розрядним регістром, в якому зберігається один з операндів, а після виконання команди – результат операції.

Допоміжний акумулятор ACT та допоміжний регістр TRM – це 8-розрядні буферні регістри, які дозволять відокремити входи АЛП від його виходу, тобто виключити «гонку» сигналів.

Регістр прапорців F призначений для зберігання інформації про результат операції в АЛП, у залежності від якого його певні тригери встановлюються в одиничний (або в нульовий) стан.

Регістри загального призначення РЗП – блок 8-розрядних РЗП, в яких зберігаються дані та проміжні результати. Цей блок створює внутрішню пам'ять МП і має високу швидкодію.

Мультиплексор MUX – пристрій, що з'єднує один із реєстрів РЗП із внутрішньою шиною даних МП.

Програмний лічильник РС – 16-розрядний реєстр, в якому зберігається адреса команди, що виконується. Після вибірки з пам'яті кожного байта команди вміст РС збільшується на одиницю.

За допомогою *схеми десяткової корекції* АЛП може обробляти не тільки двійкові дані, але й двійково-десяткові коди.

Показчик стеку SP – реєстр, в якому зберігається адреса останньої зайнятої комірки стеку. *Стеком*, або *стековою пам'яттю*, називають область пам'яті, яка організована за принципом «останній прийшов – перший вийшов».

Після виконання підпрограми звичайно виконується повернення до основної програми. Для цього у так званій *верхівці стеку* необхідно запам'ятати ту останню адресу, з якої повинне початися подальше виконання перерваної основної програми.

Повернення до перерваних програм здійснюється у зворотному порядку. При кожному вийманні адреси зі стеку вміст показчика стеку SP збільшується.

Буфер адреси ВА з двома станами виходу має вихідні формувачі, підключені до шини адреси, яка є односпрямованою і працює тільки в режимі видачі. *Буфер адреси ВА* також забезпечує відключення МП (так званий високоімпедансний стан, або z-стан) від шини адреси в режимі захоплення цієї шини іншими мікропроцесорами.

Буфер даних ВД – це двоспрямована схема із трьома станами, призначена для обміну інформацією МП із запам'ятовуваними і периферійними пристроями. *Буфер даних ВД* також забезпечує відключення МП (так званий високоімпедансний стан, або z-стан) від шини даних у режимі прямого доступу до пам'яті з боку периферійних пристроїв.

Регістр адреси і схема інкременту-декременту адреси INC/DEC – пристрій, що дає змогу без участі АЛП збільшити або зменшити на одиницю вміст одного з регістрів РЗП, РС або SP.

Призначення виводів мікропроцесора i8080 наведено в таблиці 7.1.

Таблиця 7.1 – Виводи мікропроцесора i8080

Номер	Позначення	Найменування	Назва	Тип
19	<i>SYNC</i>	Синхронізація	Ознака початку машинного циклу	Вихід
17	<i>DBIN</i>	Прийом даних	Ознака зчитування інформації	Вихід
18	\overline{WR}	Запис даних	Ознака запису інформації	Вихід
23	<i>READY</i>	Готовність	Сигнал готовності зовнішнього пристрою до обміну інформацією	Вхід
24	<i>WAIT</i>	Очікування	Ознака переходу в стан очікування готовності зовнішнього пристрою	Вихід
14	<i>INT</i>	Запит на переривання	Сигнал про необхідність обміну по перериванню	Вхід
16	<i>INTE</i>	Дозвіл переривання	Сигнал про готовність до обміну по перериванню	Вихід
13	<i>HOLD</i>	Запит на захоплення	Сигнал про необхідність обміну за методом прямого доступу до пам'яті	Вхід
21	<i>HLDA</i>	Підтвердження захоплення	Ознака переходу до обміну за методом прямого доступу до пам'яті	Вихід
12	<i>RESET</i>	Скидання	Початкове встановлення мікропроцесора	Вхід
3-10	<i>D0-D7</i>	Дані	Двонаправлена восьмирозрядна шина даних	Входи-виходи з z-станом
1,25-27, 29-40	<i>A0-A15</i>	Адреси	Однонаправлена шістнадцятирозрядна шина адреси	Виходи з z-станом
15, 22	<i>F1, F2</i>	Синхросерія		Входи
2	<i>GND</i>	Загальний		
11	-5В	Живлення		
20	+5В	Живлення		
28	+12 В	Живлення		

Для реалізації команд застосовуються 1-, 2- та 3-байтні формати. У першому байті команди або його частині розташовується код операції, а в решті – операнди або покажчики операндів. Загальна кількість допустимих кодів команд 244, а число мнемонік 78. Мнемокод ідентифікує команду асемблера, який є мовою програмування мікропроцесорів. Для мнемокодів використовують укорочені або повні англійські слова, які передають значення основної функції команди.

Для програмування мікропроцесорів важливу роль відіграє програмна модель МП та зовнішніх пристроїв, яка зображена на рисунку 7.2.

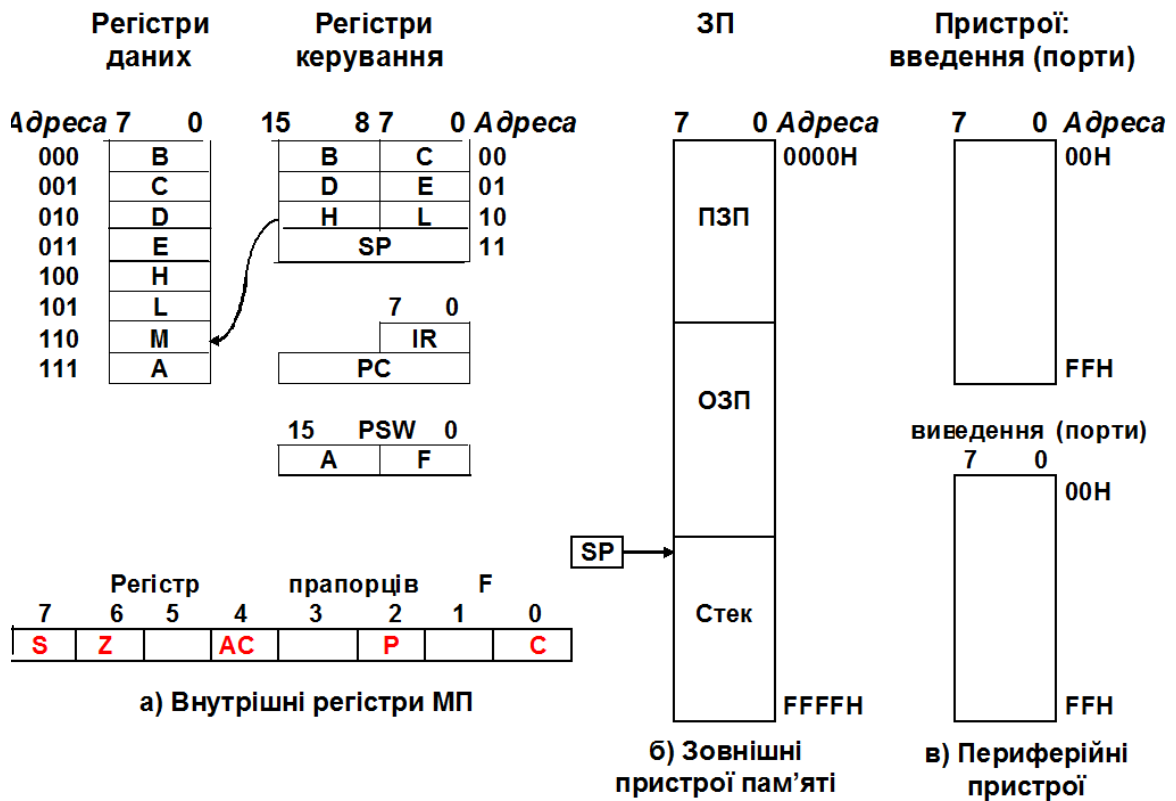


Рисунок 7.2 – Програмна модель мікропроцесора та зовнішніх пристроїв

Призначення прапорців реєстру прапорців F:

C (Carry) – *перенесення* (установлюється в «1» при виникненні перенесення із старшого розряду акумулятора);

P (Parity) – *парність* (установлюється в «1» при парному числі одиниць у байті результату, розташованого в акумуляторі);

AC (Auxiliary carry) – *півперенесення* (установлюється в «1» при перенесенні із молодшої тетради акумулятора у старшу);

Z (Zero) – *прапорець нуля* (установлюється в «1», якщо результат операції дорівнює нулю);

S (Sign) – *прапорець знаку* (установлюється в "1", коли результат операції від'ємний).

Регістр прапорців F та акумулятор A утворюють 16-розрядний *реєстр слова стану програми (мікропроцесора) PSW (Program state word)*.

Приклад створення програми на асемблері для підрахунку загальної кількості студентів двох груп ($a=19D=13H$, $b=22D=16H$) та розміщення результату S в комірці пам'яті за адресою 0020H. Розв'язання:

1. Формулюємо математичну модель задачі: $S = a + b$.
2. Складаємо алгоритм, блок-схема якого надана на рисунку 7.3.

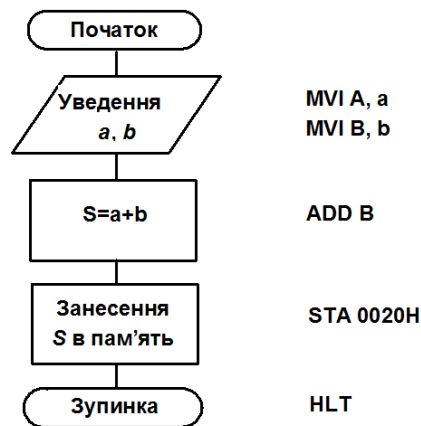


Рисунок 7.3 – Блок-схема алгоритму

3. Лістинг програми представлено на рисунку 7.4.

Адреса пам'яті	Мітка	Мнемокод команди	Операнд	Машинний код	Коментар
0000		MVI A,	13H	3E	; Занести число a
0001				13	; в акумулятор A
0002		MVI B,	16H	08	; Занести число b в регістр B
0003				16	
0004		ADD B		80	; $(A) \leftarrow (B) + (A)$
0005		STA	0020	32	; Зберегти вміст акумулятора A в
0006				20	; комірці пам'яті за адресою 0020H
0007				00	;
0008		HLT		76	; Зупинка
.					
0020					; Адреса комірки пам'яті, в якій ; розміщено вміст S акумулятора

Рисунок 7.4 – Лістинг програми

7.2 Мікропроцесорні системи

Мікропроцесорними пристроями називають інформаційно-обчислювальні засоби, реалізовані на базі мікропроцесорів. Вони широко використовуються в мікропроцесорних системах керування, які працюють в режимі реального часу.

Мікропроцесорна система (МПС) реального часу – це система, яка з'єднана з деяким зовнішнім об'єктом і яка обробляє інформацію, що надходить до неї про стан об'єкта, достатньо швидко (частки секунди) для того, щоб результат обробки міг впливати на процес, який протікає в об'єкті.

Її типова структура має вигляд, зображений на рисунку 7.5.

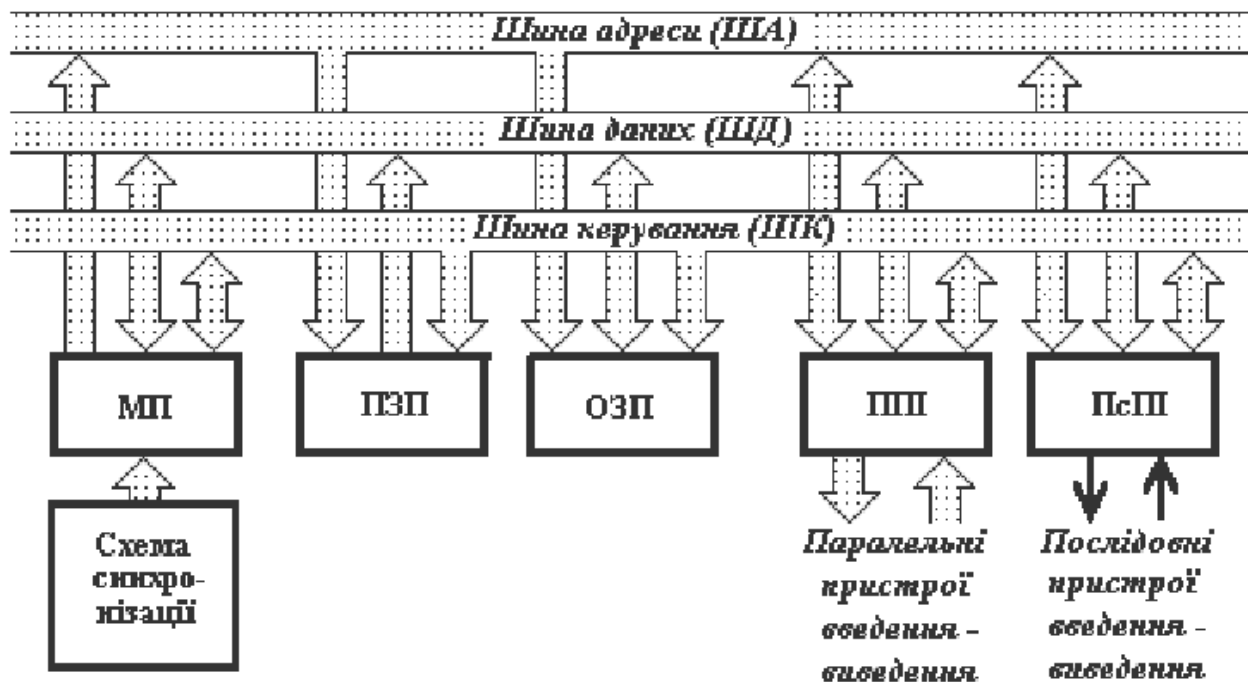


Рисунок 7.5 – Типова структура мікропроцесорної системи керування

Центральне місце в цій структурі займає мікропроцесор МП, який безпосередньо виконує арифметичні і логічні операції над даними, здійснює програмне керування процесом обробки інформації, організує взаємодію всіх пристроїв, що входять до системи. Робота МП відбувається під дією сигналів схеми синхронізації, яка часто виконується у вигляді окремої ІС.

Команди програми розміщуються і зберігаються в постійних запам'ятовуючих пристроях ПЗП. В оперативних запам'ятовуючих пристроях ОЗП тимчасово зберігаються вихідні дані, результати обробки, обмін інформацію між частинами МПС. Для забезпечення оптимального алгоритму взаємодії всіх компонентів МПС або сполучення їх між собою використовують

інтерфейси (*Interface*) – сукупність уніфікованих інформаційно-логічних, технічних і програмних засобів.

Для реалізації програмно керованого обміну інформацією між МП та зовнішніми пристроями (введення-виведення) застосовують, зокрема, програмовані послідовні інтерфейси ППсІ та програмовані паралельні інтерфейси ППІ.

7.3 Програмований паралельний інтерфейс

Програмований паралельний інтерфейс призначений для введення-виведення паралельної інформації у 8-байтовому форматі, що дає змогу реалізувати програмно керований обмін між мікропроцесором та зовнішніми пристроями, такими як дискретні та аналогові датчики, АЦП, клавіатура, кнопки, ЦАП, виконавчі елементи та механізми, електродвигуни, електроприводи, гідро- та пневмоциліндри, індикатори, дисплеї тощо.

Графічне позначення програмованого паралельного інтерфейсу ППІ (мікросхема КР580ВВ55) зображено на рисунку 7.6.

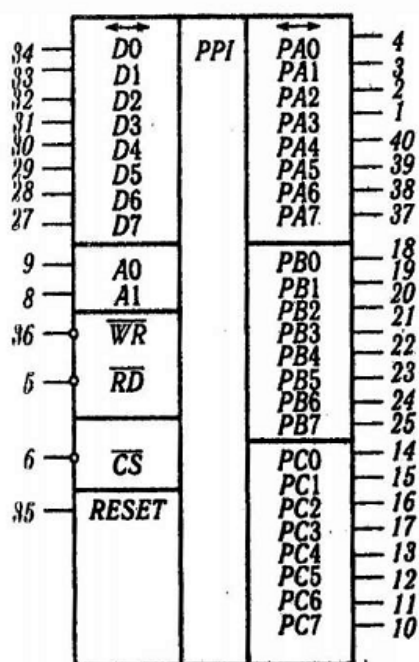


Рисунок 7.6 – Графічне позначення ППІ

Призначення виводів ППІ представлено на рисунку 7.7.

Позначення виводу	Номер виводу	Призначення виводів
D7-D0	27; 28; 29; 30; 31; 32; 33; 34	Вхід/вихід даних
\overline{RD}	5	Читання; L-рівень сигналу дозволяє зчитування інформації з регістра, що адресується розрядами A0, A1 на лінії D7-D0
\overline{WR}	36	Запис; L-рівень сигналу дозволяє запис інформації із шини D7-D0 у порт паралельного інтерфейсу, що адресується розрядами A0, A1
A0, A1	9; 8	Входи для адресування внутрішніх регістрів ППУ
RESET	35	Скидання; H-рівень сигналу скидає регістр керуючого слова і встановлює всі порти у режим введення
\overline{CS}	6	Вхід вибірки мікросхеми; L-рівень сигналу з'єднує шину даних D7-D0 BIC із системною шиною
PA7-PA0	37; 38; 39; 40; 1; 2; 3; 4	Вхід-вихід порту A
PB7-PB0	15; 24; 23; 22; 21; 20; 19; 18	Вхід-вихід порту B
PC7-PC0	10; 11; 12; 13; 17; 16; 15; 14	Вхід-вихід порту C
U _{CC}	26	Вивід напруги живлення +5 В
GND	7	Спільний вивід 0 В

Рисунок 7.7 – Призначення виводів ППІ

Структура ППІ містить схему керування введенням-виведенням, двонаправлений буфер даних, призначений для підключення внутрішньої шини ППІ до шини даних МП, три 8-розрядні порти А, В та С, призначені для організації обміну між МП та зовнішніми пристроями, а також регістр керуючого слова РКС (RCW), в якому формується байт вибору певного режиму роботи ППІ.

Структура керуючого слова РКС (RCW) ППІ наведена на рисунку 7.8.

D7	D6	D5	D4	D3	D2	D1	D0
1-керуюче слово	Вибір режиму		Порт А (PA7-PA0)	Порт С (PC7-PC4)	Вибір режиму	Порт В (PB7-PB0)	Порт С (PC3-PC0)
	00-режим 0		1 - введ	1 - введ	0-режим 0	1 - введ	1 - введ
	01-режим 1		0 - вивед	0 - вивед	1-режим 1	0 - вивед	0 - вивед
1X-режим 2							
Група А				Група В			

Рисунок 7.8 – Структура керуючого слова РКС ППІ

Режим 0 – основний режим введення-виведення (однонаправлений синхронний обмін); режими 1 та 2 – однонаправлений та двонаправлений асинхронні обміни за перериванням між портом та периферією.

7.4 Елементи та пристрої введення та виведення сигналів у мікропроцесорній системі

В електротехнічних та електромеханічних системах велика кількість контрольованих сигналів безперервно змінюється у часі (струм, напруга, температура, швидкість, момент, потужність тощо). Крім того, є сигнали, які мають дискретний характер, наприклад, від шляхових перемикачів, кнопок.

Уведення аналогових сигналів здійснюється за допомогою АЦП.

Дискретні датчики (контактні – механічні, безконтактні – створені на основі індуктивних, магнітних, оптичних, струмовихрових ефектів) поділяються на такі, що фіксують наявність чи відсутність об'єкта, та датчики, що виявляють перехід контрольованого параметра певної порогової величини. Вони можуть знаходитися лише в одному зі двох станів (On або Off).

З метою виключення впливу брязкоту контактів механічних перемикачів застосовують схему, реалізовану на *RS*-тригері (рис. 7.9).

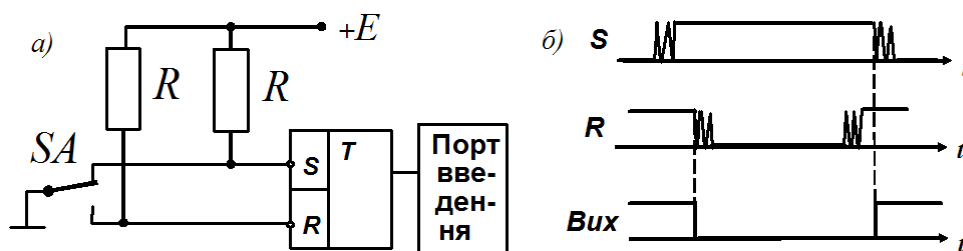


Рисунок 7.9 – Виключення впливу брязкоту контактів механічного перемикача:
а – схема; б – діаграми роботи

Для забезпечення функціонування виконавчих пристроїв у мікропроцесорній системі необхідно зазвичай застосовувати підсилювально-перетворювальні канали, зокрема, підсилювачі потужності. Найпоширенішими

на об'єктах електричного транспорту є підсилювачі постійного струму на транзисторах (рис. 7.10).

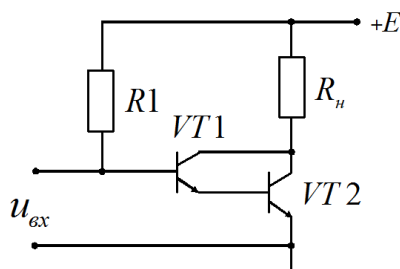


Рисунок 7.10 – Спрощена типова схема транзисторного підсилювача постійного струму

У ланцюгах змінного струму в електромеханічних об'єктах широко використовуються підсилювачі потужності на симисторах (рис. 7.11). Такі підсилювачі створюють із застосуванням схем із гальванічною розв'язкою на оптронах. Вона необхідна між силовими блоками та електронними пристроями, насамперед, при використанні мікропроцесорів.

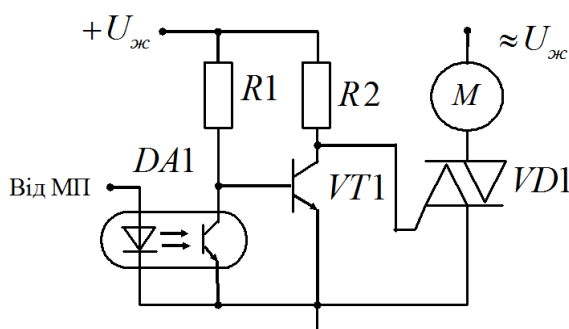


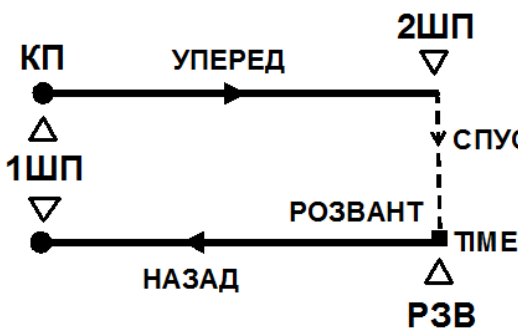
Рисунок 7.11 – Спрощена типова схема симисторного підсилювача

7.5 Розробка мікропроцесорної системи керування

Приклад розробки мікропроцесорної системи керування краном по циклу: рух завантаженого крану до певної комірки складу, спуск вантажу та розвантаження, вистій на упорі, переміщення крану у вихідне положення.

1. *Циклограма роботи крану*: Робота починається при натисканні на кнопку КП. Якщо кран знаходиться не у вихідному положенні, то видається сигнал НЕ ГОТ. Інакше вмикається команда УПЕРЕД. При спрацюванні шляхового перемикача 2ШП кран зупиняється, магнітний захват із вантажем

спускається до комірки складу (СПУСК), при вимиканні струму у магнітному захваті вантаж кладеться в неї (РОЗВАНТ), спрацьовує датчик розвантаження РЗВ, який вмикає витримку часу ТІМЕ, після чого вмикається команда НАЗАД. При спрацюванні шляхового перемикача 1ШП цикл роботи закінчено.



2. Блок-схему алгоритму керування краном надано на рисунку 7.12.

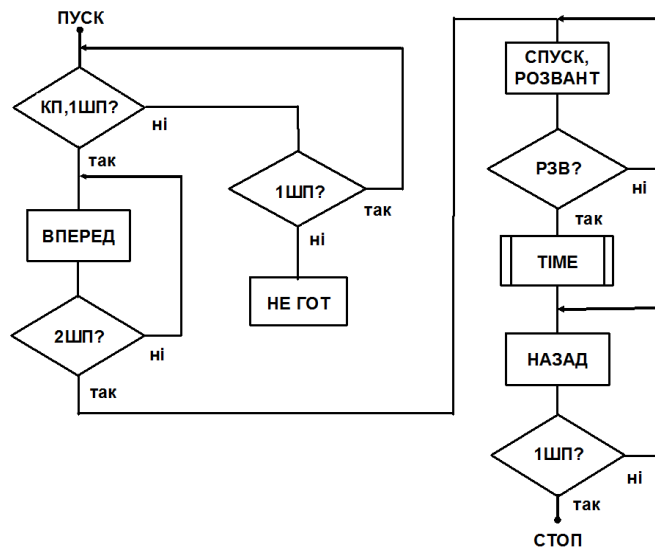


Рисунок 7.12 – Блок-схема алгоритму керування краном

3. Кодування вхідних та вихідних сигналів надано на рисунку 7.13.

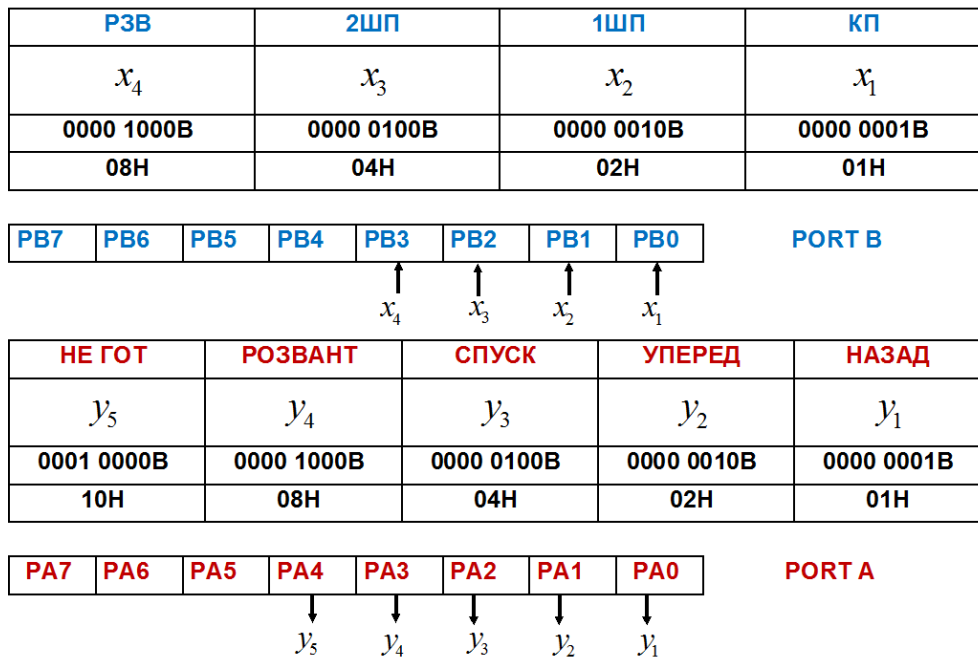


Рисунок 7.13 – Кодування вхідних та вихідних сигналів

4. Блок-схему алгоритму програми представлено на рисунку 7.14.

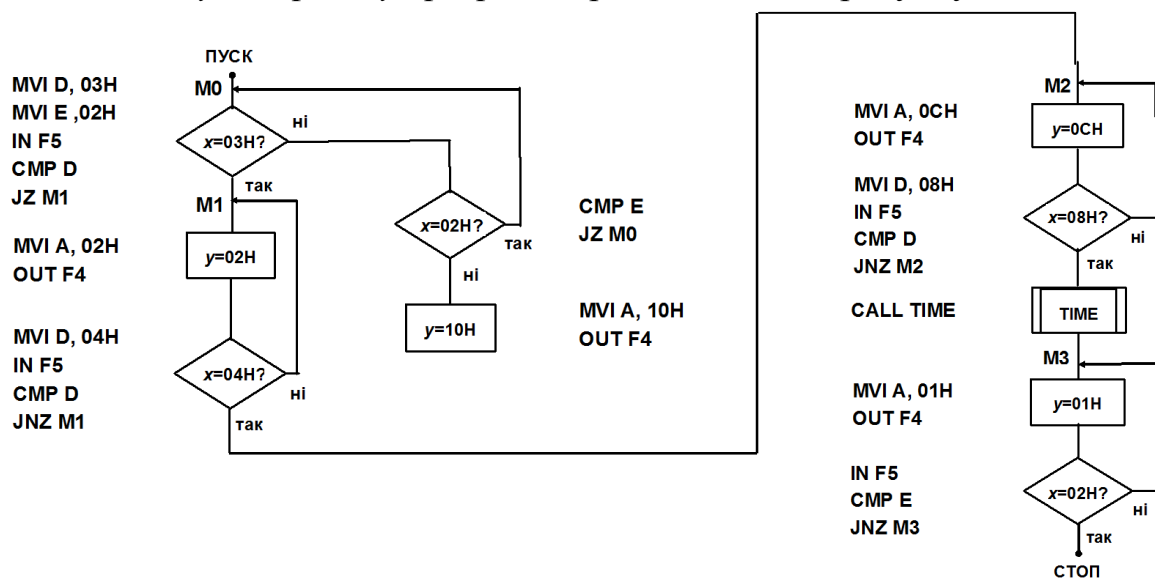


Рисунок 7.14 – Блок-схему алгоритму програми

5. Ініціалізація програмного паралельного інтерфейсу KP580BB55.

Вміст регістру керуючого слова РКС ППІ має бути таким:



Керуюче слово 82H заносять в акумулятор А, а із нього – в регістр керуючого слова РКС інтерфейсу KP580BB55 за адресою F7. Призначимо адресу F4 порту А, а адресу F5 порту В.

6. Лістинг основної програми:

Адреса пам'яті	Мітка	Мнемокод команди	Операнд	Машинний код	Коментар
21FC		MVI A,	82H	3E	; Занести керуюче слово 82H
21FD				82	в акумулятор А
21FE		OUT F7		D3	; Перенести керуюче слово 82H
21FF				F7	в РКС
2200	M0:	MVI D,	03H	16	; Завантажити регістр D словом
2201				03	03H (сигнал КП+сигнал 1ШП)
2202		MVI E,	02H	1E	; Завантажити регістр E словом
2203				02	02H (сигнал 1ШП)
2204		IN F5		DB	; Увести байт із порту В в
2205				F5	акумулятор А
2206		CMP D		BA	; Порівняння вмістів D та A
2207		JZ M1		CA	; Перехід по нулю до мітки M1
2208				12	
2209				22	

Адреса пам'яті	Мітка	Мнемокод команди	Операнд	Машинний код	Коментар
220A		CMP E		BB	; Порівняння вмістів E та A
220B		JZ M0		CA	; Перехід по нулю до мітки M0
220C				00	
220D				22	
220E		MVI A, 10H	10H	3E	; Завантажити акумулятор A словом 10H (сигнал НЕ ГОТ)
220F				10	
2210		OUT F4		D3	; Виведення із акумулятора A в порт A сигналу НЕ ГОТ
2211				F4	
2212	M1:	MVI A, 02H	02H	3E	; Завантажити акумулятор A словом 02H
2213				02	
2214		OUT F4		D3	; Виведення із акумулятора A в порт A команди УПЕРЕД
2215				F4	
2216		MVI D, 04H	04H	16	; Завантажити D словом 04H (сигнал 2ШП)
2217				04	
2218		IN F5		DB	; Увести байт із порта B в акумулятор A
2219				F5	
221A		CMP D		BA	; Порівняння вмістів D та A
221B		JNZ M1		C2	; Перехід по не нулю до мітки M1
221C				12	
221D				22	
221E	M2:	MVI A, 0CH	0CH	3E	; Завантажити A словом 0CH (команди СПУСК + РОЗВАНТ)
221F				0C	
2220		OUT F4		D3	; Виведення із A в порт A команд СПУСК + РОЗВАНТ
2221				F4	
2222		MVI D, 08H	08H	16	; Завантажити D словом 08H (сигнал РЗВ)
2223				08	
2224		IN F5		DB	; Увести байт із порта B в акумулятор A
2225				F5	
2226		CMP D		BA	; Порівняння вмістів D та A
2227		JNZ M2		C2	; Перехід по не нулю до мітки M2
2228				1E	
2229				22	
222A		CALL TIME		CD	; Виклик підпрограми витримки часу TIME
222B				38	
222C				22	
222D	M3:	MVI A, 01H	01H	3E	; Завантажити акумулятор A словом 01H (команда НАЗАД)
222E				01	
222F		OUT F4		D3	; Виведення із A в порт A команди НАЗАД
2230				F4	
2231		IN F5		DB	; Увести байт із порта B в акумулятор A
2232				F5	
2233		CMP D		BA	; Порівняння вмістів E та A
2234		JNZ M3		C2	; Перехід по не нулю до мітки M3
2235				2D	
2236				22	
2237		HLT		76	; СТОП

6.1 Блок-схему алгоритму підпрограми TIME витримки часу на 0,5с представлено на рисунку 7.15.

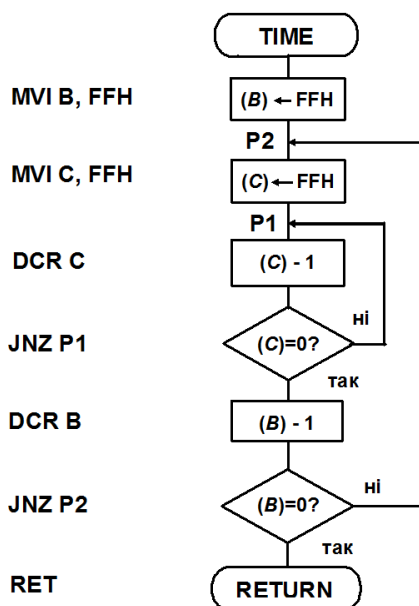


Рисунок 7.15 – Блок-схема алгоритму підпрограми TIME

6.2 Лістинг підпрограми TIME витримки часу на 0,5 с наведено на рисунку 7.16.

Адреса пам'яті	Мітка	Мнемокод команди	Операнд	Машинний код	Коментар
2238	CALL	TIME			
2239		MVI B,	FFH	06	; (B) ←FFH
223A				FF	
223B	P2:	MVI C,	FFH	0E	; (C) ←FFH
223C				FF	
223D	P1:	DCR C		0D	; (C) ←(C) - 1
223E		JNZ P1		C2	; Перехід по не нулю до
223F				3D	мітки P1
2240				22	
2241		DCR B		05	; (B) ←(B) - 1
2242		JNZ P2		C2	; Перехід по не нулю до
2243				3B	мітки P2
2244				22	
2245		RET		C9	; Повернення до основної програми

Рисунок 7.16 – Лістинг підпрограми TIME

ЛЕКЦІЯ 8

МІКРОКОНТРОЛЕРНІ ПРИСТРОЇ

8.1 Мікроконтролери

Мікроконтролер (microcontroller) (МК) – це однокристальний мікрокомп'ютер з невеликими обчислювальними ресурсами та спрощеною системою команд, орієнтованою на виконання процедур керування та регулювання різним обладнанням. Використання однієї мікросхеми значно знижує розміри, енергоспоживання і вартість пристроїв, побудованих на базі мікроконтролерів. Їх застосовують у вискоефективних і дешевих системах керування електротехнічними та електромеханічними засобами, у багатьох сучасних вимірювальних приладах, вони відповідають за роботу електроприводів та двигунів, з їх допомогою створюються системи контролю і збору інформації.

Мікроконтролер, на відміну від мікропроцесора, зазвичай має порівняно невелику розрядність (8-16 біт) та достатній набір команд маніпулювання окремими бітами. Бітові команди дають змогу керувати дискретним обладнанням (підняти-опустити, увімкнути-вимкнути, запустити-зупинити двигун, відкрити-закрити клапан тощо) та приймати сигнали типу «так-ні» («true-false»).

Ще одна з основних відмінностей полягає у тому, що у складі мікроконтролера є всі елементи для побудови системи керування, а саме: *мікропроцесор, пам'ять даних (оперативна пам'ять), пам'ять програм (постійна флеш-пам'ять), генератор тактових імпульсів, таймери, лічильники, паралельні та послідовні порти введення-виведення, АЦП* та ін. Тож система мінімальної конфігурації на основі мікроконтролера може складатися із блока живлення, безпосередньо мікросхеми контролера та кількох пасивних елементів (резисторів, конденсаторів та кварцового резонатора). І це фактично є ніщо інше, як одноплатний мікрокомп'ютер, придатний для вбудовування до об'єкта керування.

8.1.1 Типова архітектура мікроконтролера

Типова архітектура мікроконтролера (рис. 8.1) складається з системи синхронізації та керування (1), АЛП (2), РЗН (3), пам'яті даних (4), пам'яті програм (5), портів (6), функціональних пристроїв (таймерів, лічильників, широтно-імпульсних модуляторів,) та регістрів їх настроювання (7).

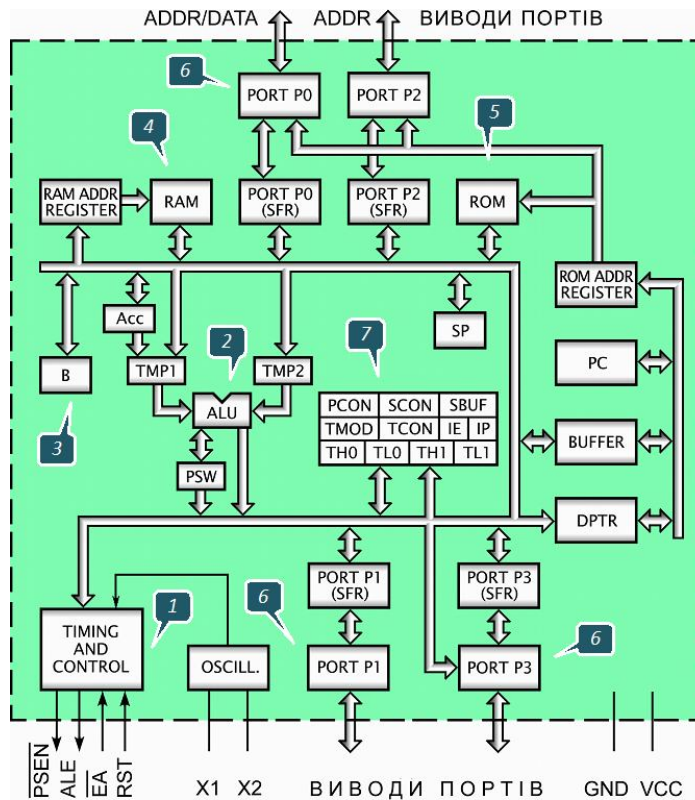


Рисунок 8.1 – Типова архітектура мікроконтролера

Одним із перших створених мікроконтролерів був мікроконтролер *i8051*, який називали всесвітнім промисловим стандартом через те, що він став дійсно класичним взірцем пристроїв даного класу. Сімейство цих контролерів господарювало на ринку майже до сьогоднішнього часу.

8.1.2 RISC-мікроконтролери

Особливістю контролерів, виконаних за RISC (*Reduced Instruction Set Computer*) архітектурою, є те, що всі команди виконуються за один-три такти, тоді як у CISC контролерах – за один-три машинних цикли, кожний з яких

складається з кількох тактів. Тому RISC-контролери мають значно більшу швидкодію.

Типовими представниками RISC-процесорів є *PIC-контролери (Peripheral Interface Controller* – контролери периферійних інтерфейсів) виробництва фірми Microchip. PIC-контролери застосовують у системах високошвидкісного керування електричними двигунами, вимірювальних приладах, пристроях керування системами транспортних засобів, системах контролю та ін. PIC-контролери відрізняються розрядністю ПЗП: від 12 до 14 біт для серії PIC16Cxx та 16 біт для серії PIC17Cxx.

Архітектуру PIC-контролерів розглянемо на прикладі мікросхеми PIC16C71 (рис. 8.2).

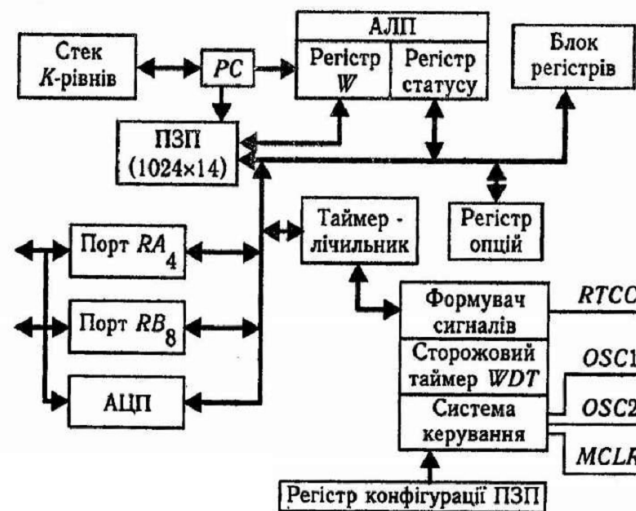


Рисунок 8.2 – Структурна схема мікроконтролера PIC16C71

Основою архітектури є роздільні шини та області пам'яті для даних і команд (так звана Гарвардська архітектура). Шина даних та комірка ОЗП є 8-розрядними, а шина команд і програмна пам'ять (ПЗП) – 14-розрядними. Двосхідчастий конвеєр забезпечує одночасне вибирання і виконання команди.

Структурна схема контролера містить: восьмирівневий апаратний стек; 13-розрядний програмний лічильник PC; 8-розрядний АЛП; ОЗП, який складається з 36 8-розрядних РЗП; ПЗП на базі EEPROM розміром 1024x14 біт,

15 регістрів спеціальних функцій SFR; регістр непрямой адресації W (акумулятор) та регістри статусу, опцій і конфігурації ПЗП); 8-розрядний таймер-лічильник; модуль АЦП з чотирма входами; 13 ліній введення-виведення (4-розрядний порт RA, 8-розрядний порт RB, лінія RTCC); сторожовий таймер; формувач зовнішнього сигналу RTCC або сигналу сторожового таймера; система керування і синхронізації з внутрішнім генератором, тактова частота якого 16 МГц.

Система команд мікроконтролера PIC16C71. При скороченій кількості команд (до 35) всі команди займають у пам'яті одне слово. Кожна команда представляє собою 14-розрядне слово, яке містить поле коду операції (OPCODE) та поле одного або більше операндів, які можуть брати участь у цій команді. До системи команд належать *команди роботи з байтами, команди роботи з бітами, команди керування та операції з константами.*

8.1.3 AVR-мікроконтролери

Однокристалні *AVR-мікроконтролери* – це 8-розрядні високопродуктивні RISC-контролери загального призначення. Вони були створені групою розробників дослідницького центру фірми Atmel Corp. (Норвегія), ініціали яких сформували марку AVR (*Alf Bogen, Vergard Wollan, RISC architecture*). Особливістю AVR-мікроконтролерів є їхня широка номенклатура, що дає змогу користувачу вибрати МК з мінімальною апаратною надлишковістю і, отже, найменшої вартості. Нині у серійному виробництві знаходяться три сімейства AVR – *Mega, Classic* та *Tiny*. Докладніше розглянемо характеристики МК сімейств AVR:

Mega AVR (префікс ATmegaххх) – найпотужніші: продуктивність 4-6 MIPS (мільйон операцій за секунду), пам'ять програм FLASH ROM 64-128 Кбайт, пам'ять даних EEPROM 64-4096 байт, пам'ять даних SRAM 1-4 Кбайт, вбудований 10-розрядний 8-канальний АЦП.

Галузі застосування – від високонадійних функцій обчислення та оброблення сигналів до керування електродвигунами.

Tiny AVR (префікс AVRtinyxxx) – найдешевші й найпростіші: характеризується найменшою серед AVR МК ємністю пам'яті програм та обмеженим набором функцій. Малогабаритні корпуси, можливість роботи за напруги живлення 1,8 В дають змогу використовувати ці МК у портативній апаратурі, зокрема, з батарейним живленням.

Classic AVR (префікс AT90Sxxx) – середні характеристики: продуктивність до 16 MIPS, пам'ять програм FLASH ROM 2-8 Кбайт, пам'ять даних EEPROM 64-512 байт, пам'ять даних SRAM 128-512 байт. Сімейство функціонально збалансоване і досить різноманітне за можливостями.

Уважається, що AVR-мікроконтролери стали ще одним індустріальним стандартом серед МК загального призначення. Вони легкодоступні, відзначаються невисокою вартістю, успішно конкурують з PIC-контролерами.

Узагальнена структурна схема мікроконтролера сімейства AVR зображена на рисунку 8.3.

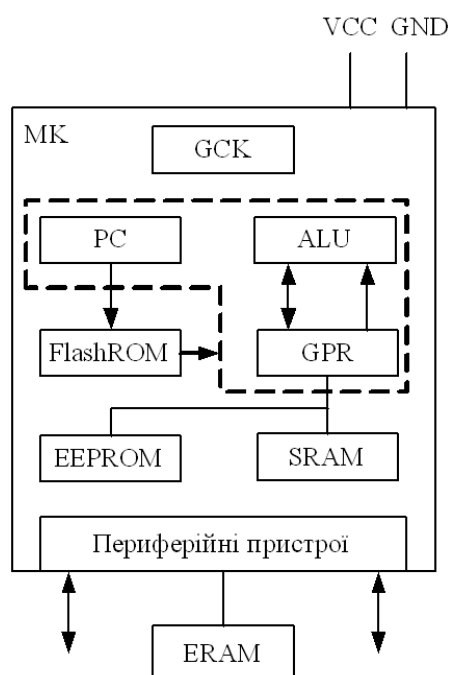


Рисунок 8.3 – Узагальнена структурна схема мікроконтролера сімейства AVR

До складу мікроконтролера входять: генератор тактового сигналу (GCK); процесор (CPU) у складі АЛП (ALU), РЗП (GPR) та лічильника команд (PC); постійний запам'ятовуючий пристрій (ПЗП) для зберігання програми,

виконаний за технологією Flash, (Flash-ROM); оперативний запам'ятовуючий пристрій (ОЗП) статичного типу для зберігання даних (SRAM); постійний запам'ятовуючий пристрій (ПЗП) для зберігання даних (EEPROM); набір периферійних пристроїв для введення та виведення даних, керуючих сигналів та виконання інших функцій. Живлення МК здійснюється від джерела напруги VCC–GND.

Розглянемо архітектуру AVR-мікроконтролера на прикладі МК сімейства Tiny AVR – ATtiny2313, блок-схема якого наведена на рисунку 8.4.

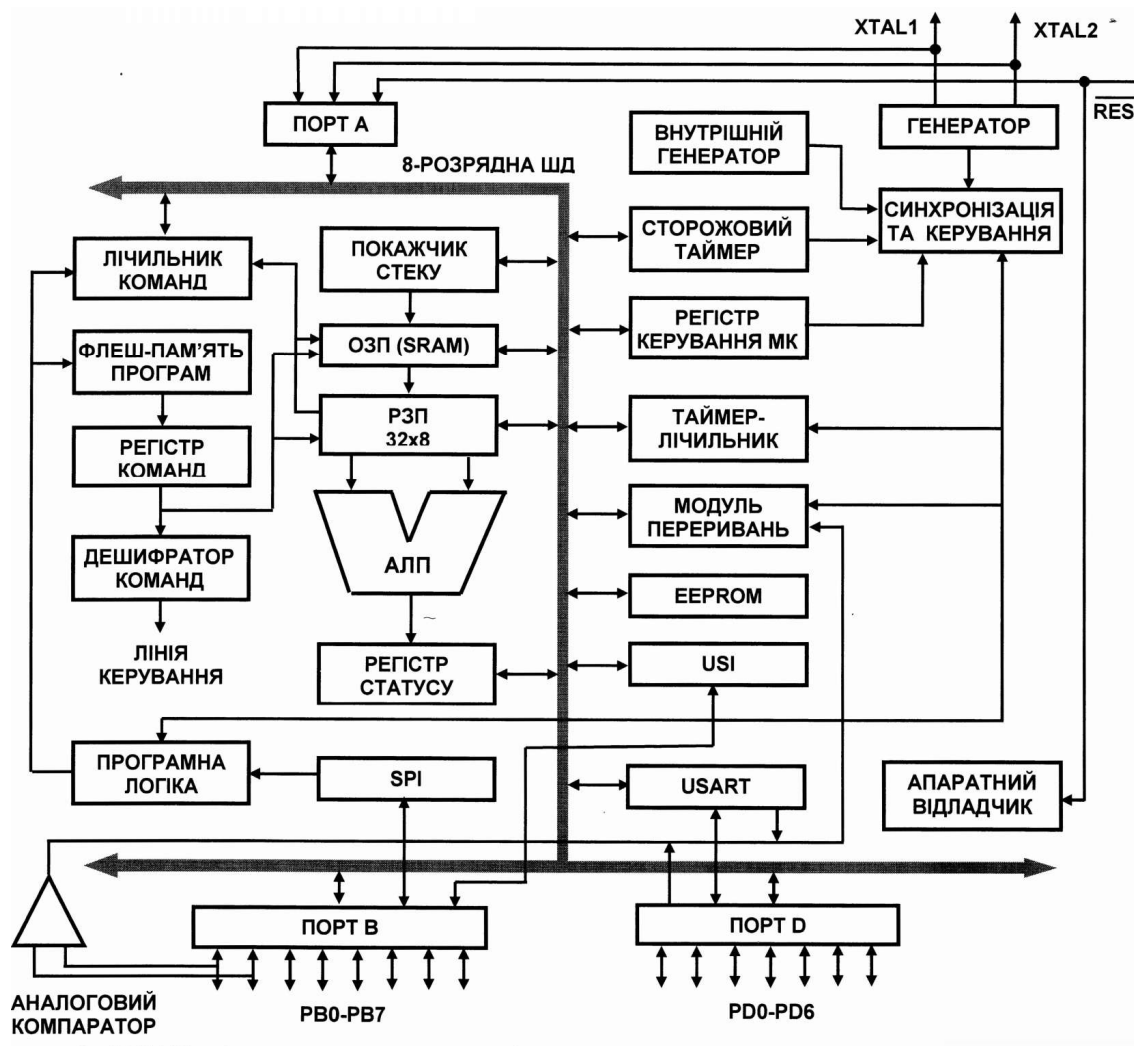


Рисунок 8.4 – Архітектура мікроконтролера ATtiny2313

Основні характеристики МК ATtiny2313: 8-розрядний МК зі вбудованою програмованою Flash-пам'яттю програми розміром 2 Кбайт до 10 000 циклів запису/стирання; 32 8-розрядних РЗП; 128 байт внутрішнього ОЗП (SRAM);

частота тактового генератора до 20 МГц; продуктивність до 20 MIPS/sec при тактовій частоті 20 МГц; 128 байт вбудованої енергонезалежної пам'яті даних (EEPROM) до 100 000 циклів запису/стирання; 120 команд, більшість з яких виконується за один машинний цикл; 8-розрядний таймер-лічильник; 16-розрядний таймер-лічильник зі схемою захвату та порівняння; чотири канали широтно-імпульсних модуляторів ШІМ (PWM- *Pulse Width Modulation*); програмований сторожовий таймер WDT (*Watchdog Timer*) із внутрішнім генератором; вбудований аналоговий компаратор; універсальний послідовний інтерфейс USI (*Universal Serial Interface*); внутрішньосистемний програмований послідовний інтерфейс SPI (*Serial Peripheral Interface*); універсальний синхронно-асинхронний послідовний приймач-передавач з повнодуплексною організацією USART (*Universal Synchronous and Asynchronous serial Reseiver and Transmitter*); спеціальний вхід debugWIRE для керування внутрішньою системою відладки; 18 програмованих ліній введення-виведення: порт А – 3 лінії, порт В – 8 ліній, порт D – 7 ліній (вихідні буфери портів витримують достатньо високе навантаження); підтримка зовнішніх та внутрішніх переривань; тип корпусу PDIP/SOIC – 20 виводів; напруга живлення 2,7-5,5 В; три програмно змінних режими енергозбереження.

До системи команд належать команди: *логічних операцій, арифметичних операцій, операцій з розрядами, порівняння, операцій зсуву, пересилання даних, керування системою, безумовного передавання керування, передавання керування за умовою, передавання керування (пропускання команди за умовою).*

8.1.4 STM-мікроконтролери

8-розрядні *мікроконтролери STM8* від STMicroelectronics були випущені у 2008 р. та позиціонувались для задач, які вимагали високої надійності при невисокій ціні та низькому енергоспоживанні. Однією з тенденцій останнього часу стало впевнене зміцнення позицій фірми ST на ринку 8-бітних і 32-бітних мікроконтролерів. Через великий набір периферії та розвинені засоби

програмування МК STM8 швидко набули широкої популярності. У ніші 8-бітних мікроконтролерів, де раніше домінували PIC і AVR, тепер з'явився ще один сильний гравець – мікроконтролери STM8.

Технічні характеристики мікроконтролера STM8S003F3P6: Flash-пам'ять 8 КБайт; ОЗП 1 КБайт; EEPROM 128 байт; тактова частота 16 МГц; інтерфейси: SPI, I2C, UART; 10-бітні АЦП; ШІМ; напруга живлення 5 В; розмір 36,5 x 21,6 мм кв.

Лінійка МК STM8 на сьогодні складається із трьох сімейств: для автомобільного, низькоспоживаючого та загального застосування. Це відповідно STM8A, STM8L та STM8S, а вся номенклатура становить понад 160 позицій. І хоча намітилася тенденція переходу на 16/32-бітні МК, 8-бітні мікроконтролери все ще становлять значну частку ринку.

У 2004 р. було розроблено 32-розрядне процесорне ядро ARM Cortex-M3 і компанія STMicroelectronics стала однією з перших, хто вивів на ринок сімейство МК на цьому ядрі, який отримав назву STM32. Сьогодні ARM Cortex-M3 стає, напевно, найпопулярнішим 32-розрядним процесорним ядром для вбудованих систем, а МК на його базі мають універсальну, добре збалансовану архітектуру. Багато спеціалістів вважають STM32 одним із самих розповсюджених, дешевих та перспективних 32-розрядних мікроконтролерів.

8.2 Підключення зовнішніх пристроїв до мікроконтролера

При створенні систем керування широкого призначення часто до мікроконтролера необхідно підключати такі периферійні пристрої, як кнопки, клавіатури, дискретні датчики, світлодіоди, семисегментні індикатори, оптрони, підсилювачі напруги, програмовані мультівібратори тощо. Розглянемо деякі схеми та їхнє програмування.

8.2.1 Підключення кнопки та світлодіода до мікроконтролера АТmega32

При підключенні різноманітних кнопок, світлодіодів, клавіатур, дискретних датчиків до МК для уникнення завад необхідно задіювати підтягуючі резистори до полюсів напруги живлення. Найпростіше це робиться шляхом використання внутрішнього підтягуючого резистора. Схема підключення кнопки S1 та світлодіода VD1 до мікроконтролера АТmega32 наведена на рисунку 8.5, і на цьому прикладі розглянемо програмну реалізацію такого підключення.

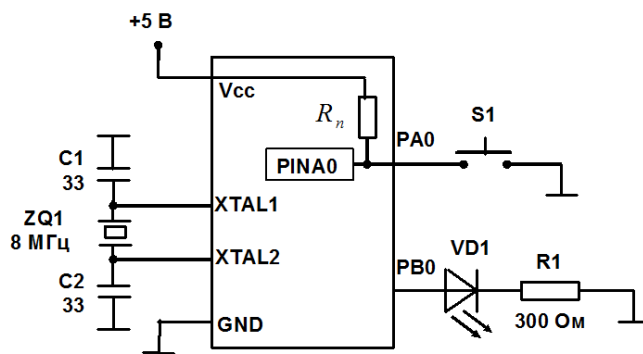


Рисунок 8.5 – Схема підключення кнопки S1 та світлодіода VD1 до мікроконтролера АТmega32

Програми для мікроконтролерів створюють у спеціальних інтегрованих інструментальних середовищах (Integrated Development Environment, IDE) мовами асемблера (машинних команд) або мовою високого рівня C++.

На початку програми виконується налаштування портів, до яких підключені зовнішні пристрої. Кнопка під'єднана до нульового виводу PA0 порту А, а світлодіод – до нульового виводу PB0 порту В.

Увесь порт А ми налаштували на вхід та використали внутрішні підтягуючі резистори R_n . Порт В налаштували на вихід. В основному програмному циклі зчитуємо стан входів усього порту А та заносимо цей байт стану у регістр загального призначення *r16*.

На наступному етапі програми значення *r16* виводиться на виходи порту В. Якщо кнопка S1 не натиснута, тобто вивід PA0 не під'єднаний до

зовнішньої землі, то стан цього виводу має значення «1», оскільки внутрішній підтягуючий резистор R_n подає високий рівень (+5 В). Натисканням кнопки на вивід PA0 подається від землі нульовий потенціал, завдяки чому вивід PA0 отримує значення «0».

Лістинг програми:

```
.include "m32Adef.inc" (назва бібліотечного файлу)
.CSEG
ldi    r16, 0x00
ldi    r17, 0xFF
;Порт А на вхід з підтягуючим резистором
out    DDRA, r16
out    PORTA, r17
;Порт В на вихід з низьким початковим рівнем
out    DDRB, r17
out    PORTB, r16

main:
in     r16, PINA
out    PORTB, r16
rjmp  main
```

8.2.2 Підключення семисегментного індикатора до мікроконтролера

Для візуалізації результатів вимірювання та контролю найчастіше використовують *семисегментні індикатори*. Розглянемо семисегментний індикатор зі спільним катодом (рис. 8.6). У ньому на спільний вивід (катод) подається низький рівень, а для засвічування певних сегментів необхідно з мікроконтролера відповідно подавати високі рівні напруги.

Зобр.	<i>h</i>	<i>g</i>	<i>f</i>	<i>e</i>	<i>d</i>	<i>c</i>	<i>b</i>	<i>a</i>	16-код
0	0	0	1	1	1	1	1	1	3F
1	0	0	0	0	0	1	1	0	06
2	0	1	0	1	1	0	1	1	5B
3	0	1	0	0	1	1	1	1	4F
4	0	1	1	0	0	1	1	0	66
5	0	1	1	0	1	1	0	1	6D
6	0	1	1	1	1	1	0	1	7D
7	0	0	0	0	0	1	1	1	07
8	0	1	1	1	1	1	1	1	7F
9	0	1	1	0	1	1	1	1	6F
o	1	0	0	0	0	0	0	0	80

Рисунок 8.6 – Кодування семисегментного індикатора зі спільним катодом

Схему виведення, наприклад, цифри 2 з МК АТmega8 на семисегментний індикатор наведено на рисунку 8.7, а відповідний лістинг програми – на рисунку 8.8.

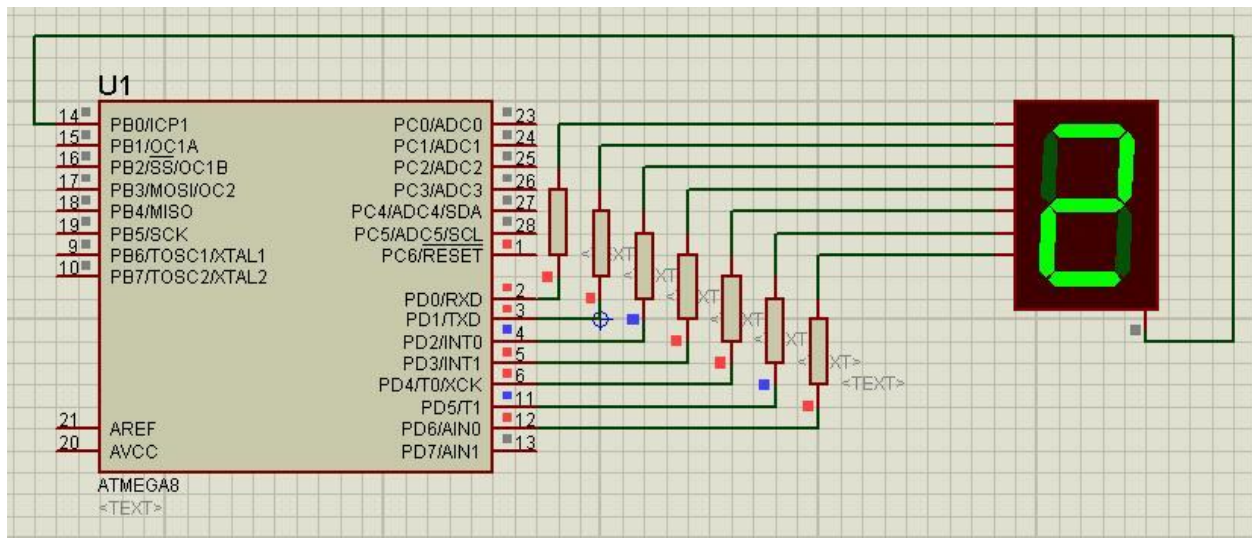


Рисунок 8.7 – Схема виведення цифри 2 з мікроконтролера АТmega8 на семисегментний індикатор

```

1  #include <mega8.h> (назва бібліотечного файлу)
2  void main(void)
3  {
4  PORTB=0x00; // На всіх виводах порту В виставляється «0»
5  DDRB=0b00000001; //Налаштування виводу PB0 на виведення
6
7  PORTD=0b01011011; // Виведення на виводи PD0, PD1, PD3, PD4,
8  PD6 «1», щоб сформувати цифру 2
9  DDRD=0b01111111; //Налаштування виводів PD0-PD6 на
10 виведення
11
12 while (1) {}
13 }

```

Рисунок 8.8 – Лістинг програми

8.2.3 Широтно-імпульсна модуляція

Для керувати швидкістю обертання валу електродвигуна, яскравістю освітлення (світлодіоди, лампи розжарення) тощо широко застосовується широтно-імпульсна модуляція – ШІМ (*PWM – Pulse Width Modulation*).

Вона представляє собою спосіб формування аналогового сигналу цифровим методом, який полягає у зміні ширини (тривалості) прямокутних імпульсів визначеної частоти. ШІМ-сигнал подається з певного виводу мікроконтролера у вигляді імпульсів напруги високого («1») та низького («0») рівнів.

При програмуванні режиму ШІМ у регістр слід завантажити значення від 0 до FFH, яке визначає коефіцієнт заповнення ШІМ (рис. 8.9).

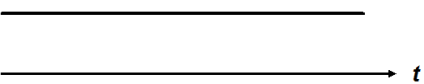
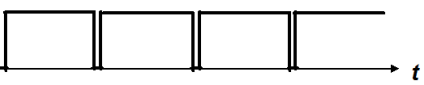
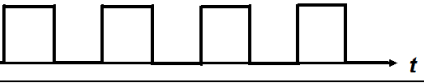


Коефіцієнт заповнення	Вміст регістру	Вихідний сигнал ШІМ
1	00	
0,9	25	
0,5	128	
0,1	230	
0,004	255	

Рисунок 8.9 – Значення коефіцієнта заповнення, вміст регістру та часові діаграми відповідних вихідних сигналів ШІМ

У мікроконтролерах AVR формування ШІМ-сигналів є однією з функцій таймерів/лічильників. 8-розрядні МК AVR можуть апаратно генерувати ШІМ-сигнали у двох режимах: *Fast PWM* – швидкодіючий ШІМ; *Phase Correct PWM* – ШІМ з точною фазою (рис. 8.10).

Режим *Fast PWM* генерує високочастотний ШІМ-сигнал у такий спосіб. Лічильник рахує від 0 до максимального значення, тобто до 255, після чого лічильний регістр скидається і цикл повторюється. Якщо відповідний вивід ОС_п програмно підключений до таймера, тоді на початку лічби вивід встановлюється в «1», а при співпадінні вмістів лічильного регістру TCNT_п та регістру порівняння OCR_п вивід таймера/лічильника скидається в нуль.

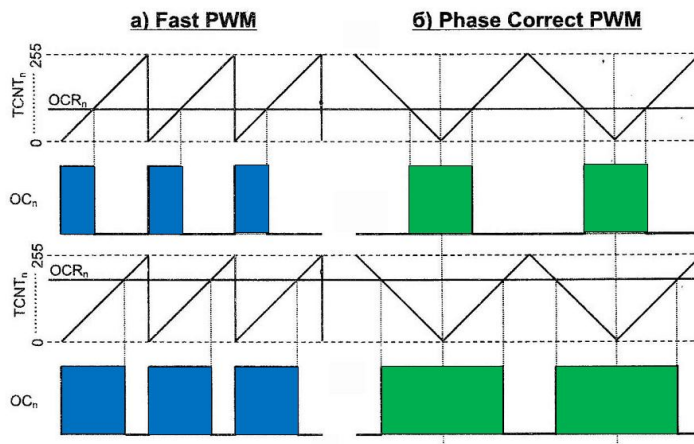


Рисунок 8.10 – ШІМ-сигнали у режимах:
 а – Fast PWM; б – Phase Correct PWM

Режим *Phase Correct PWM* генерує ШІМ-сигнали з фіксованою фазою. У цьому режимі лічильник спершу рахує від 0 до 255, а потім здійснює відлік у зворотному порядку від 255 до 0. Режим Phase Correct PWM використовується для формування багатofазних ШІМ-сигналів (центри яких співпадають у різних каналах), які часто використовуються для керування електродвигунами.

Приклад. Реалізувати керування двигуном постійного струму (комп'ютерним вентилятором) за допомогою ШІМ-сигналу у режимі Fast PWM з виводу OC0 таймера T0 МК *ATmega32* (рис. 8.11).

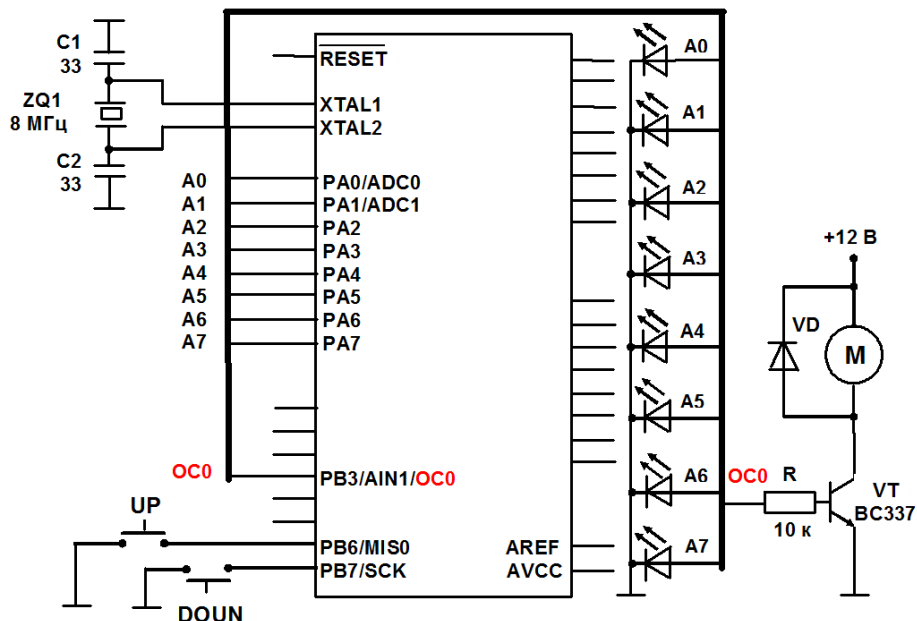


Рисунок 8.11 – Принципова схема модуля керування двигуном постійного струму на базі мікроконтролера *ATmega32*

Увесь діапазон ШІМ-сигналу дискретно розбито на 8 рівнів. Збільшення чи зменшення ширини імпульсу виконується за допомогою 2-х кнопок UP та DOWN відповідно, а поточне значення виводиться на лінійку з восьми світлодіодів, підключених до порту А. Керування мотором М виконується за допомогою транзисторного ключа *VT*. Для захисту транзисторного ключа паралельно з мотором М підключений діод Шоткі *VD*, а база транзистора з'єднана з виводом ОС0 МК через обмежувальний резистор *R*.

8.3 Програмовані логічні контролери

Програмований логічний контролер (ПЛК) (Programmable Logic Controller або PLC) – це спеціалізована мікропроцесорна система, яка використовується для автоматизації технологічних процесів та загальнопромислових установок і комплексів (електричного транспорту, ліфтів, ескалаторів, конвеєрів, рольгангів, підйомних кранів, кранів-штабелерів, канатних доріг, подрібнювачів, пакувальників, робототехнічних та гнучких виробничих комплексів, освітлення тощо).

Зазвичай ПЛК – це одноплатний мінікомп'ютер, який побудований на основі однокристального МК та розташований у корпусі стандартних розмірів. Також існують модульні контролери. До входів ПЛК можна приєднати кнопки, контакти джойстика, перемикачі (тобто органи керування), датчики та виконавчі механізми (двигуни, клапани, вентилі, гідро- та електроциліндри, лампи, нагрівальні елементи тощо).

Апаратна та програмна уніфікація ПЛК дає можливість легко переходити на контролери іншого виробника.

Мов програмування ПЛК застосовується шість, причому чотири з них – *візуальні* (тобто програма вводиться не у вигляді тексту, а як *набір графічних блоків*, які поєднані один з іншим).

Приклад. Формування ШІМ-сигналу (рис. 8.12). При зміні сигналу на аналоговому вході (inр) необхідно змінювати шпаруватість вихідних імпульсів (out) у діапазоні від 20 до 50 %. Період ШІМ-сигналу дорівнює 1 с.

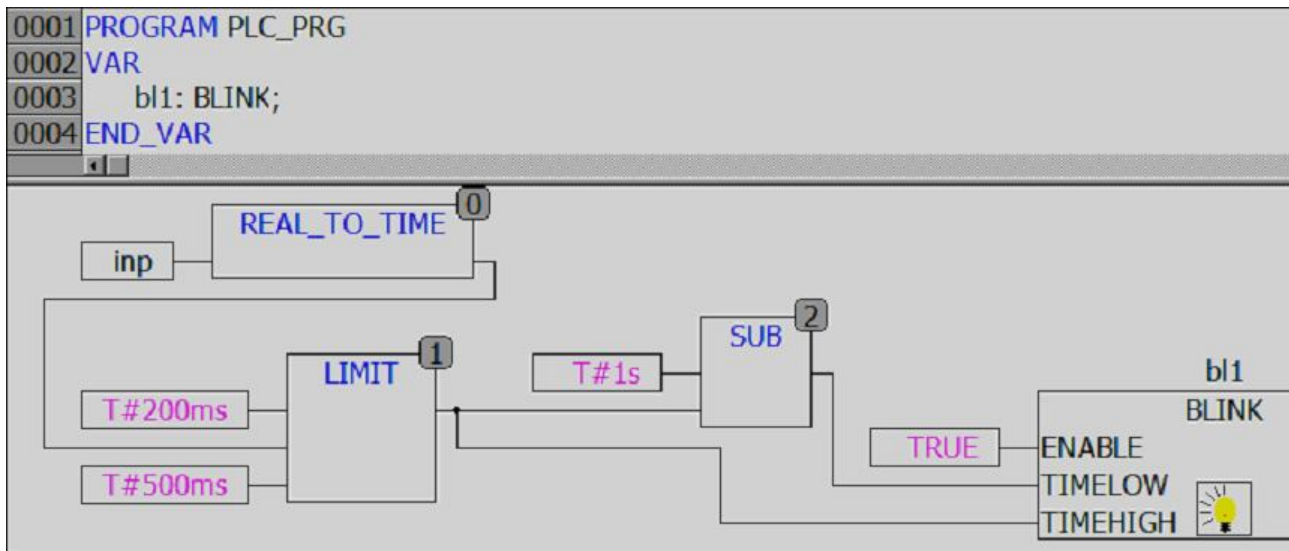


Рисунок 8.12 – Формування ШІМ-сигналу графічною мовою програмування

Зараз існують інструментальні програмні комплекси, які дозволяють не тільки розробити програму, а й налагодити її за допомогою програмної моделі контролера («на симуляторі») або в режимі *моніторингу* (коли програму користувача виконує реальний контролер, а на дисплеї комп'ютера можна спостерігати за його роботою).

На сьогодні одним із найпоширеніших ПЛК є сімейство ПЛК 100 та ПЛК 150 компанії ОВЕН. Їхнє програмування здійснюється на основі програмного середовища CoDeSys V2.3 (розшифровується як *Controller Development System*) торгової марки німецької фірми 3S-Software.

У даний час для програмування контролерів у CoDeSys широко використовуються технологічні *мови програмування* стандарту MEK 61131-3 (Міжнародна електротехнічна комісія), англійською IEC 61131-3 (*International Electrotechnical Commission*), а саме: ST, IL, LD, FBD, SFC, CFC. Серед них – текстові (ST та IL), решта – графічні (візуальні).

СПИСОК РЕКОМЕНДОВАНИХ ДЖЕРЕЛ

Базові

1. Будіщев М. С. Електротехніка, електроніка та мікропроцесорна техніка : підручник / М. С. Будіщев. – Львів : Афіша, 2001. – 424 с.
2. Колонтаєвський Ю. П. Електроніка і мікросхемотехніка : підручник / Ю. П. Колонтаєвський, А. Г. Сосков ; за ред. А. Г. Соскова. 2-е вид. – Київ : Каравела, 2009. – 416 с.
3. Грищук Ю. С. Мікропроцесорні пристрої : навч. посібник / Ю.С. Грищук. – Харків : НТУ «ХП», 2007. – 280 с.
4. Кацхен С. PIC-контроллеры. Полное руководство / С. Кацхен ; пер. с англ. А. В. Евстифеева – М. : Додэка-XXI, 2010. – 656 с.
5. Схемотехніка електронних систем. Аналогова схемотехніка та імпульсні пристрої : підручник / В. І. Бойко, А. М. Гуржій, В. Я. Жуйков та ін. – 2-ге вид., допов. і переробл. – Київ : Вища шк., 2004. – 366 с.
6. Схемотехніка електронних систем. Цифрова схемотехніка : підручник / В. І. Бойко, А. М. Гуржій, В. Я. Жуйков та ін. – 2-ге вид., допов. і переробл. – Київ : Вища шк., 2004. – 423 с.
7. Схемотехніка електронних систем. Мікропроцесори та мікроконтролери : підручник / В. І. Бойко, А. М. Гуржій, В. Я. Жуйков та ін. – 2-ге вид., допов. і переробл. – Київ : Вища шк., 2004. – 399 с.
8. Белов А. В. Микроконтроллеры AVR : от азов программирования до создания практических устройств / А. В. Белов. – 2-е изд., перераб. и доп. + виртуальный диск с видеокурсами. – СПб. : Наука и Техника, 2017. – 544 с.
9. Предко М. PIC-микроконтроллеры: архитектура и программирование : пер с англ. – М. : ДМК Пресс, 2010. – 512 с.
10. Великий В. І. Мікропроцесорні системи в САУ : курс лекцій для студентів фаху 7.091401 : навч. посібник / В. І. Великий. – Одеса : Наука і техніка, 2006. – 192 с.
11. Хофманн М. Микроконтроллеры для начинающих : пер. с нем. – СПб. : БХВ-Петербург, 2010. – 304 с.

12. Ревич Ю. В. Практическое программирование микроконтроллеров Atmel AVR на языке ассемблера / Ю. В. Ревич. – 2-е изд., испр. – СПб. : БХВ-Петербург, 2011. – 352 с.

13. Войтко С. В. PIC-мікроконтролери та MPLAB: програмування на асемблері : практич. посібник / С. В. Войтко. – Київ : КПІ ім. Ігоря Сікорського. Вид-во «Політехніка», 2017. – 160 с.

14. Магда Ю. С. Микроконтроллеры серии 8051 : практический подход / Ю. С. Магда. – М. : ДМК Пресс, 2008. – 228 с.

Додаткові

1. Єсаулов С. М. Мікропроцесорні пристрої на сучасних технологічних об'єктах. Конспект лекцій із завданнями практичних робіт з дисциплін «Мікропроцесорні пристрої електротранспорту», «Мікропроцесорні пристрої транспортних засобів», «Мікропроцесорні пристрої» (для студентів 4-5 курсів усіх форм навчання за напрямом підготовки 0922 (6.050702) «Електромеханіка» / С. М. Єсаулов, О. Ф. Бабічева. – Харк. нац. акад. міськ. госп-ва. – Харків : ХНАМГ, 2011. – 135 с.

2. Мікропроцесорна техніка : конспект лекцій (для студентів, які навчаються за напрямами 0906 «Електротехніка», 6.050701 «Електротехніка та електротехнології» всіх форм навчання / Уклад. Ю. П. Колонтаєвський. – Харків : ХНАМГ, 2009. – 83 с.

3. Ровінський В. А. Мікропроцесорні пристрої : конспект лекцій / В. А. Ровінський, О. В. Євчук. – Івано-Франківськ : ІФНТУНГ, 2010. – 133 с.

4. Єсаулов С. М. Методичні вказівки до самостійного вивчення курсу «Елементи систем автоматики і мікропроцесорної техніки». – Харків : ХНАМГ, 2005. – 55 с.

5. Програмування мікроконтролерних систем автоматики : конспект лекцій для студентів базового напрямку 050201 «Системна інженерія» / Укл.: А. Г. Павельчак, В. В. Самотий, Ю. В. Ящук. – Львів : Львівська політехніка, 2012. – 143 с.

Інформаційні ресурси

1. <http://www.nbuu.gov.ua/>
2. <http://www.microchip.com/>
3. <http://www.microchipdirect.com/>
4. <http://pic-www.microcontroller.com/>
5. <http://www.atmel.com/>
6. Цифровий репозиторій ХНУМГ ім. О. М. Бекетова [Електронний ресурс]. – Режим доступу: <http://eprints.kname.edu.ua>

Навчальне видання

СМИРНИЙ Михайло Федорович

МІКРОСХЕМОТЕХНІКА

КОНСПЕКТ ЛЕКЦІЙ

*(для студентів усіх форм навчання за спеціальністю
141 – Електроенергетика, електротехніка та електромеханіка)*

Відповідальний за випуск *Ю. П. Бархаєв*

За авторською редакцією

Комп'ютерне верстання *І. В. Волосожарова*

План 2019, поз. 179Л

Підп. до друку 25.09.2019. Формат 60 × 84/16.

Друк на ризографі. Ум. друк. арк. 4,5.

Тираж 50 пр. Зам. № .

Видавець і виготовлювач:

Харківський національний університет
міського господарства імені О. М. Бекетова,
вул. Маршала Бажанова, 17, Харків, 61002.

Електронна адреса: rectorat@kname.edu.ua

Свідоцтво суб'єкта видавничої справи:

ДК № 5328 від 11.04.2017.